

Міністерство освіти і науки України
Національний технічний університет України
«Київський політехнічний інститут»

Розробка і практична реалізація цифрових пристроїв

Методичні вказівки
до лабораторних робіт
з дисципліни «Цифрові пристрої 1», «Схемотехніка радіоелектронних
апаратів 2»
для студентів радіотехнічного факультету

Рекомендовано вченою радою радіотехнічного факультету

Київ
НТУУ «КПІ»
2013

Розробка і практична реалізація цифрових пристроїв [Текст] : метод. вказівки до лаборатор. робіт з дисципліни «Цифрові пристрої 1», «Схемотехніка радіоелектронних апаратів 2» для студ. радіотехнічного ф-ту / Уклад.: А.В. Мовчанюк, І.О. Сушко, Н.О. Іванюк - К.: НТУУ "КПІ", 2013. – 39 с.

Гриф надано вченою радою радіотехнічного факультету НТУУ "КПІ"
(Протокол № 5/2013 від 27 травня 2013р.)

Рекомендовано навчально-методичною комісією радіотехнічного факультету
(Протокол № 5/2013 від 22 травня 2013р.)

Н а в ч а л ь н е в и д а н н я

Розробка і практична реалізація цифрових пристроїв

Методичні вказівки
до лабораторних робіт
з дисципліни «Цифрові пристрої 1», «Схемотехніка радіоелектронних
апаратів 2»
для студентів радіотехнічного факультету

Укладачі

*Мовчанюк Андрій Валерійович, к.т.н., доц.
Сушко Ірина Олександрівна, асистент
Іванюк Наталія Олександрівна, асистент*

Відповідальний
редактор

Рибін Олександр Іванович, д.т.н., проф.

Рецензент

*Родіонова М.В., канд. техн. наук, доц. каф. Акустики та
акустоелектр. факультету електроніки*

За редакцією укладачів

НТУУ «КПІ»
Радіотехнічний факультет
03056, Київ, вул. Політехнічна, 12, корп. 17
Тел./факс (044) 454-92-93

ЗМІСТ

Вступ	5
Мета та основні завдання лабораторних робіт.....	6
Правила техніки безпеки при виконанні лабораторних робіт	7
Опис обладнання, що використовується при виконанні лабораторних робіт.....	8
Типові ситуації, що виникають при реалізації цифрових пристроїв на стандартних інтегральних мікросхемах	12
Лабораторна робота №1	15
Лабораторна робота №2	26
Лабораторна робота №3	38
Лабораторна робота №4	52
Лабораторна робота №5	62
Список рекомендованої літератури	72
Додаток 1. Звіт до виконання лабораторної роботи №1	73
Додаток 2. Звіт до виконання лабораторної роботи №2.....	79
Додаток 3. Звіт до виконання лабораторної роботи №3.....	85
Додаток 4. Звіт до виконання лабораторної роботи №4.....	94
Додаток 5. Звіт до виконання лабораторної роботи №5.....	102
Додаток 6. Необхідні довідкові дані з мікросхем	105

ВСТУП

Методичні вказівки до виконання лабораторних робіт з дисциплін "Цифрові пристрої" та "Схемотехніка радіоелектронних апаратів" призначені для студентів радіотехнічного факультету НТУУ "КПІ" очної та заочної форм навчання напрямків 6.050901 «Радіотехніка» та 6.050902 «Радіоелектронні апарати».

Методичні вказівки містять

- опис спеціалізованого обладнання, на базі якого виконується практична частина кожної роботи;
- програми виконання робіт;
- особливості практичної реалізації та ладнання цифрових пристроїв;
- перелік теоретичного матеріалу, який має бути засвоєним для успішного виконання робіт, наводиться безпосередньо при описі кожної лабораторної роботи, наводяться базові відомості з того чи іншого питання, що має сприяти цілеспрямованому вивченню та поглибленому засвоєнню необхідного матеріалу;
- вказівки з виконання робіт;
- протоколи до виконання лабораторних робіт;
- необхідні довідкові дані.

МЕТА ТА ОСНОВНІ ЗАВДАННЯ ЛАБОРАТОРНИХ РОБІТ

Мета лабораторних робіт - набуття студентами навичок з розробки принципових електричних схем цифрових пристроїв, їх практичної реалізації і ладнання.

Кожна з лабораторних робіт включає етапи:

- побудова функціональної схеми, яка реалізує задані функції;
- розробка електричної принципової схеми цифрового пристрою (ЦП) з використанням мікросхем, заданих типів;
- збирання та ладнання макету ЦП на базовому шасі;
- підтвердження правильності функціонування ЦП та оформлення результатів роботи.

При оформленні звіту за результатами лабораторної роботи, згідно встановленої форми (див. додаток 1 – 5), мають бути наведені

- мета роботи та постановка задачі;
- матеріали синтезу функціональної схеми ЦП;
- принципова електрична схема ЦП, виконана на мікросхемах, які були використані при виконанні роботи;
- висновки, в яких слід навести результати випробування ЦП на предмет його відповідності технічному завданню.

Для успішного виконання лабораторних робіт необхідно засвоєння студентом відповідного теоретичного матеріалу. Обсяг необхідного теоретичного матеріалу вказується при описі кожної лабораторної роботи. Узагальнений перелік рекомендованої літератури наведено у відповідному розділі в кінці методичних вказівок). Для побудови електричної принципової схеми на підставі функціональної схеми ЦП, необхідно мати відповідні довідкові відомості про мікросхеми, які планується використати при виконанні лабораторної роботи (типи мікросхем задаються викладачем). Дані для мікросхем, які використовуються при виконанні лабораторних робіт, наведені в додатку 6 та в тексті лабораторної роботи №5.

ПРАВИЛА ТЕХНІКИ БЕЗПЕКИ ПРИ ВИКОНАННІ ЛАБОРАТОРНИХ РОБІТ

В учбовій лабораторії при виконанні лабораторних робіт використовується робоча напруга небезпечна для життя (± 5 В для живлення лабораторних макетів та 24 В змінного струму для живлення паяльників). Але наявність високої (220 В) напруги на розподільних електрощитах, використання паяльників, робоча температура яких перевищує 200 °С, обумовлює необхідність виконання певних правил техніки безпеки та виробничої санітарії з метою запобігання нещасних випадків, надання шкоди здоров'ю (як власному так і оточуючих).

1. Забороняється студентам самотійно виконувати будь-які вмикання на розподільних електрощитах або заміну запобіжників.

2. Вмикання лабораторного макета після збирання схеми можливо лише в присутності керівника робіт.

3. Збирання схеми, внесення будь-яких змін до неї слід виконувати лише при **вимкненому** електроживленні. Виконувати будь-які перемикання в схемах, що знаходяться під напругою **забороняється**.

4. Робоче місце в процесі виконання робіт має бути організоване - вільне від сторонніх предметів (книг, конспектів т.ін.), невикористаних монтажних провідників тощо.

5. На робочому місці має знаходитись не менше двох осіб. Виконувати лабораторні роботи поодиноці заборонено.

6. При збиранні пристрою на базовому шасі необхідно уникати взаємного торкання монтажних провідників, щоб не допускати режимів короткого замикання, які можуть призвести до аварійного стану пристрою, відмови комплектуючих елементів або базового шасі.

7. Недопустимо вмикати в розетки електромережі будь-які провідники без штепсельних вилок.

8. При залужуванні кінців монтажних провідників та їх припаюванні до контактних елементів базового шасі необхідно бути особливо обережним, щоб запобігти розбризкуванню розплавленого припою.

9. Під час паяння відбувається виділення шкідливих для здоров'я речовин, тому необхідно слідкувати, щоб приміщення, де відбуваються лабораторні роботи, провітрювалось.

ОПИС ОБЛАДНАННЯ, ЩО ВИКОРИСТОВУЄТЬСЯ ПРИ ВИКОНАННІ ЛАБОРАТОРНИХ РОБІТ

Практична реалізація розробленого ЦП здійснюється на *базовому шасі*.

Базове шасі - основний технічний засіб, який використовується при виконанні кожної лабораторної роботи. Він забезпечує можливість збирання та налагодження ЦП, електрична принципова схема якого має бути отримана студентом на етапі підготовки до виконання роботи.

Базове шасі (БШ) являє собою пристрій, призначення якого полягає в тому, щоб забезпечити:

- кріплення мікросхем,
- з'єднання виводів мікросхем між собою та з джерелом живлення згідно принципової схеми ЦП,
- можливість налагодження ЦП,
- контроль функціонування ЦП.

Загальний вигляд базового шасі наведено на рис. 1.

Базове шасі складається з корпусу I (рис. 1); монтажного поля II (рис. 2); клемної групи для підключення джерела живлення III

(рис. 3); набірного поля IV (рис. 4); елементів керування тактовим генератором V (рис. 5).

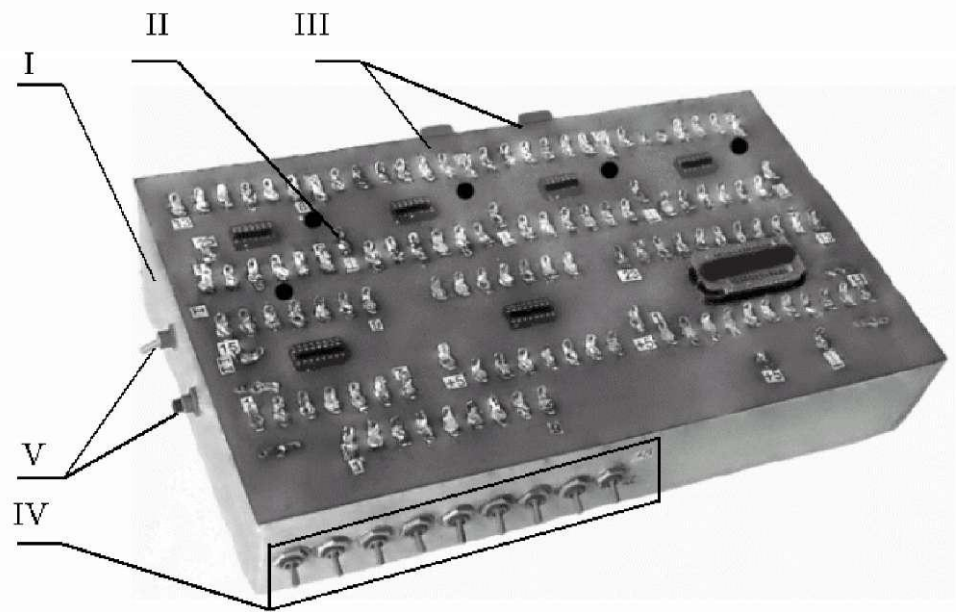


Рис. 1. Загальний вигляд базового шасі.

Корпус БШ виконаний з металу і є несучою основою усього пристрою. Всередині корпусу розміщено генератор імпульсів та здійснено необхідні з'єднання окремих елементів БШ, що забезпечує можливість його багаторазового використання та реалізацію будь-якого ЦП з числа запропонованих для виконання лабораторних робіт. Монтажне поле забезпечує можливість виконання всіх операцій з монтажу, налагодження та тестування ЦП.

На монтажному полі розміщуються (див. рис. 2):

- панелі 1 (4 шт.) та 2 (2 шт.) для встановлення мікросхем, причому різновид панелей забезпечує можливість встановлення мікросхем, що розміщені у різних корпусах, а саме: БІР-14 та БІР-16, відповідно (наявність на монтажному полі додаткової панелі, обумовлена використанням даного БШ в лабораторних роботах з інших курсів);
- світлодіоди 3 (4 шт.) та 7 (1 шт.);
- контактні елементи 4, 5, 6, 8; при цьому: контактні елементи 4 приєднані до виводів світлодіодів 3 та мають відповідне позначення;

контактні елементи 5 приєднані до відповідних виводів панелей 1 та 2; контактні елементи 6 приєднані до перемикачів задавання логічних рівнів (розміщених на набірному полі); контактний елемент 8 приєднаний до виходу вмонтованого в БШ генератора імпульсів.

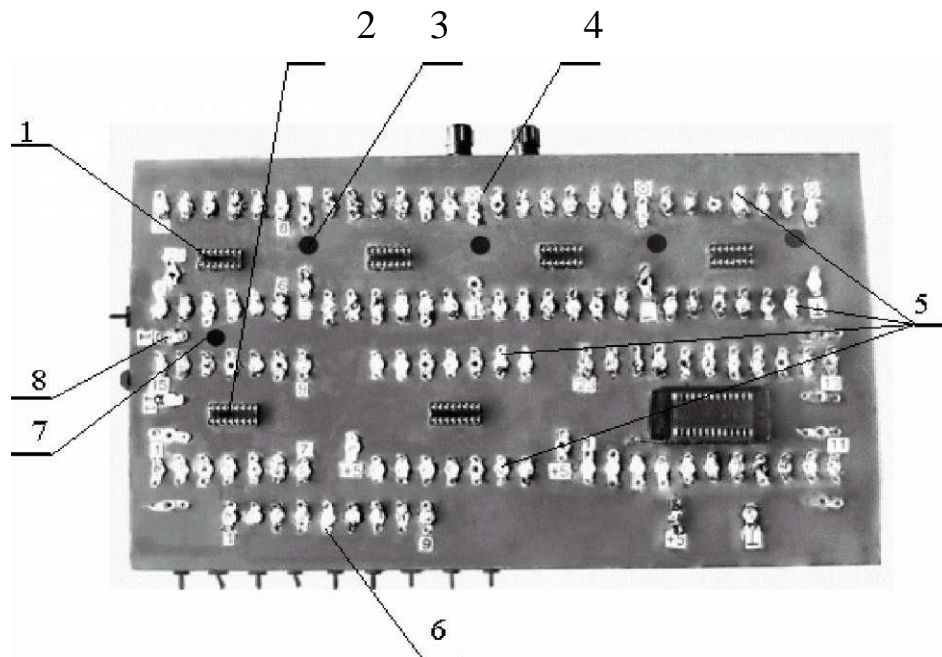


Рис. 2. Монтажне поле.

Контактні елементи 5 розміщуються на БШ групами в безпосередній близькості до відповідних панелей. Слід звернути увагу, що кількість цих контактних елементів в кожній групі на два менше кількості виводів відповідних панелей. Це обумовлено тим, що виводи, на які подається напруга від джерела живлення, приєднані до клемної групи ІІІ безпосередньо всередині корпусу БШ. Клемна група ІІІ розміщена на одній з бокових поверхонь БШ, її призначення і порядок використання зрозумілі з рис. 3.

Світлодіоди 3 (загальною кількістю 4 шт.) призначені для контролю сигналу (0 чи 1) на входах або виходах логічних елементів (складових) зібраного ЦП та використовуються при його налагодженні і тестуванні.

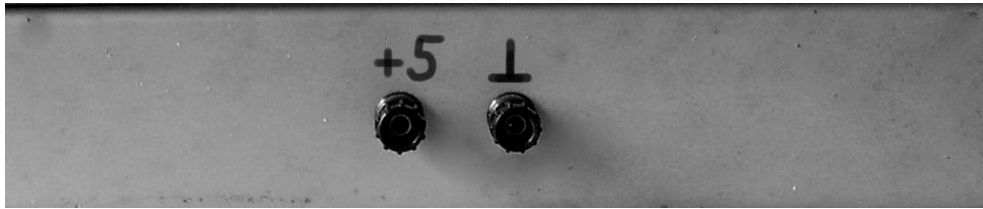


Рис. 3. Клемна група для підключення джерела живлення.

Контактні елементи 6 приєднані до перемикачів задавання логічних рівнів, які входять до складу набірного поля IV і розміщені на одній з бокових поверхонь БШ. Розміщення та порядок використання перемикачів набірного поля зрозумілі з рис.4.

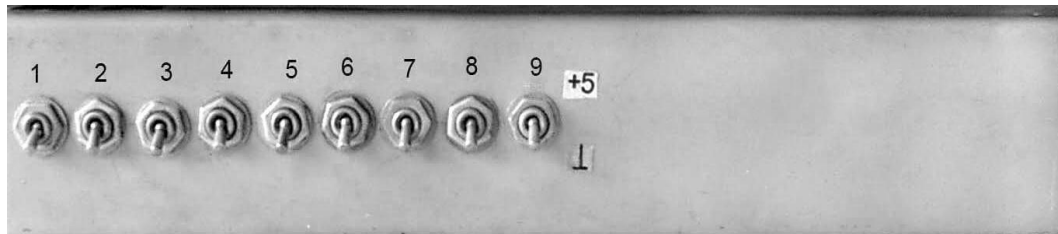


Рис.4. Набірне поле.

Перемикачі набірного поля надають можливість незалежно встановити на кожному контактному елементі, що входить до групи контактних елементів 6, напругу низького або високого рівня, що відповідає логічним рівням "0" або "1", тобто виступають як своєрідний генератор двійкового коду, необхідний, як при ладнанні, так і при тестуванні зібраного ЦП.

До складу БШ входить генератор імпульсів, вихід якого приєднано до контактного елементу 8 та світлодіоду 7. Елементи керування цього генератора розміщені на одній з бокових панелей БШ (див. рис. 5).



Рис. 5. Елементи керування генератором імпульсів.

До складу елементів керування генератором імпульсів входять перемикач І, призначений для вибору режиму роботи (генерація послідовності імпульсів чи поодиноких імпульсів при ручному запуску) та кнопка ІІ, призначена для ручного запуску генератора в режимі генерації поодиноких імпульсів.

Монтаж ЦП полягає в з'єднанні виводів мікросхем між собою та з іншими складовими, згідно розробленої принципової схеми та здійснюється перемичками, кінці яких підпаюють до відповідних контактних елементів.

ТИПОВІ СИТУАЦІЇ, ЩО ВИНΙΚАЮТЬ ПРИ РЕАЛІЗАЦІЇ ЦИФРОВИХ ПРИСТРОЇВ НА СТАНДАРТНИХ ІНТЕГРАЛЬНИХ СХЕМАХ

Розроблена функціонально-логічна схема ЦП має бути реалізована на базі набору стандартних інтегральних схем (ІС) тої чи іншої серії, або на базі набору бібліотечних елементів тієї чи іншої великої (надвеликої) інтегральної схеми (ВІС або НВІС) з програмованою структурою. В обох випадках можлива ситуація, коли наявні елементи і елементи потрібні для реалізації схеми не співпадають, як за кількістю, так і за можливостями виконання необхідних функцій.

Типовими ситуаціями є наявність в корпусах стандартних ІС "зайвих" (тобто таких, що не використовуються в даному випадку) логічних елементів, входів, або, навпаки, кількість входів мала, їх навантажувальна спроможність недостатня. Детальна інформація, щодо вирішення вказаних проблем наведена в [2, с. 64-72]. Нижче наводяться лише ті відомості, знання яких необхідне для успішного виконання лабораторних робіт.

Режими невикористаних входів.

Питання про режими "зайвих" входів вирішується з урахуванням конкретного типу схемотехнології, що використовується.

Наприклад, необхідно отримати кон'юнкцію (або її інверсію) п'яти змінних. В стандартних серіях не має відповідних елементів, що мають 5 входів. В цьому випадку доводиться використати елемент що має вісім входів, в якому виявляється три "зайві" входи. Принципово можливо:

- не звертати уваги на "зайві" входи (тобто залишити їх розімкненими);
- приєднати "зайві" входи до задіяних;
- подати на "зайві" входи якісь константи.

З точки зору логічних операцій всі три вказані можливості правомірні. Але, якщо взяти до уваги особливості тієї чи іншої схемотехнології, то вибір варіанту стає визначеним.

Для елементів, які виготовляються за технологіями КМОН або ТТЛ(Ш), невикористані входи розімкненими не залишають. Для елементів, виготовлених за КМОН-технологією, це сувора заборона, бо в цих елементах великі значення вхідних опорів і, відповідно, на розімкнених входах легко наводяться паразитні потенціали, які можуть змінити роботу схеми. Для елементів, виготовлених за ТТЛ(Ш)-технологією суворої заборони залишати входи розімкненими немає, але робити це небажано, так як при цьому погіршуються параметри швидкодії елемента. Приєднання "зайвих" входів до задіяних для КМОН и ТТЛ(Ш) елементів принципово можливе, але небажане, бо призводить до підвищення навантаження на джерело сигналу, що, в свою чергу, веде до зниження його швидкодії.

Таким чином, для елементів, виготовлених за технологіями КМОН або ТТЛ(Ш) проблема невикористаних входів вирішується шляхом приєднання їх до констант (логічним одиницям або нулям) таким чином, щоб запобігти зміни роботи схеми для задіяних входів.

При цьому рівні напруги логічної "1" та логічного "0" для КМОН елементів співпадають з рівнями напруги джерела живлення та загальної шини ("землі"), до яких і приєднують невикористані входи. Для ТТЛ(Ш) елементів рівень "1" на 1,5 - 2 В нижчий за рівень напруги джерела живлення, тому для запобігання пробою незадіяні входи приєднують до джерела живлення через резистор, величина опору якого (звичайна рекомендація) повинна складати 1 кОм, причому до одного резистору дозволяється приєднати до 20 входів.

ЛАБОРАТОРНА РОБОТА №1

Вивчення особливостей роботи базових логічних елементів

Мета роботи.

Вивчення особливостей роботи та порівняльний аналіз базових логічних елементів різних серій.

Постановка задачі.

В середовищі комп'ютерного моделювання вивчити роботу базових логічних елементів. Зняти основні характеристики. Провести порівняльний аналіз.

1.1. Короткі теоретичні відомості

Визначення високого та низького рівнів сигналу.

Високий рівень вхідної напруги (V_{IH})— мінімальний рівень напруги на вході, що являє собою логічну 1. Будь-яке значення напруги нижче даного рівня не входить в діапазон високого рівня сигналу для даної логічної схеми.

Низький рівень вхідної напруги (V_{IL})— максимальний рівень напруги на вході, що являє собою логічний 0. Будь-яке значення напруги вище даного рівня не входить в діапазон низького рівня сигналу для даної логічної схеми.

Високий рівень вихідної напруги (V_{OH})— мінімальний рівень напруги на виході логічної схеми, що являє собою логічну 1 при заданому навантаженню.

Низький рівень вихідної напруги (V_{OL})— максимальний рівень напруги на виході логічної схеми, що являє собою логічний 0 при заданому навантаженні.

Завадостійкість.

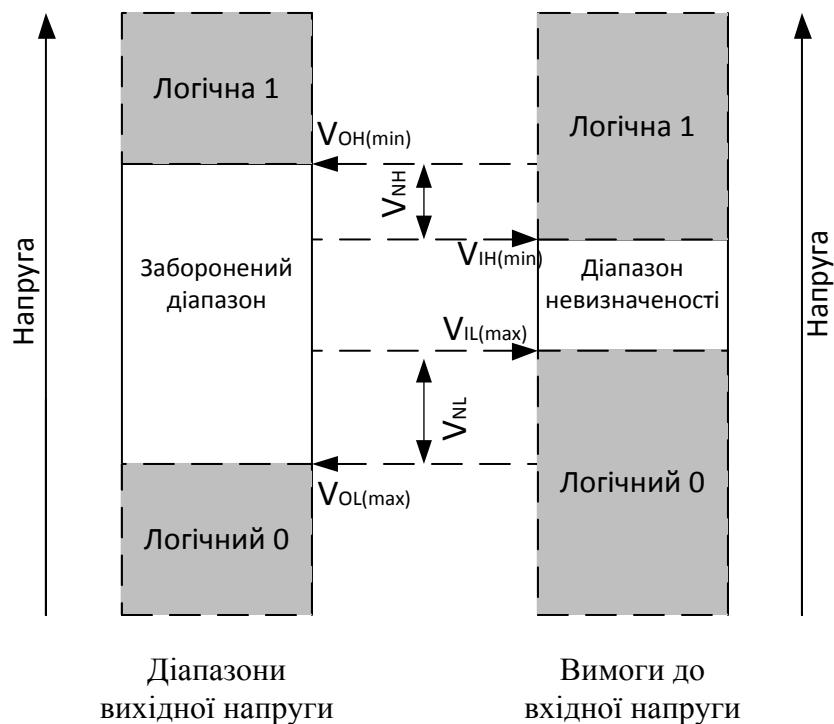


Рис.1.1.1. Завадостійкість логічної схеми.

На рис.1.1.1 проілюстровано діапазон значень напруг, що може приймати сигнал на виході логічної схеми. Будь-яке значення більше, ніж $V_{OH(min)}$, розглядається як логічна 1, значення нижче $V_{OL(max)}$ – як логічний 0. В нормальному режимі роботи на виході логічної схеми не повинні з'являтися напруги з невизначеного діапазону. Також на даному рисунку зображено вимоги до значень напруг на вході логічної схеми. Логічна схема на будь-яке значення напруги, що перевищує $V_{IH(min)}$ реагує як на логічну 1, а на будь-яке значення, що нижче $V_{IL(max)}$ – як на логічний 0. Значення напруги в невизначеному діапазоні призведуть до непередбачуваної реакції схеми.

Існує поняття завадостійкості схеми – значення напруги, викликане електричним шумом, яке схема може витримати без погіршення працездатності.

Запас завадостійкості для одиничного стану:

$$V_{NH} = V_{OH(min)} - V_{IH(min)}.$$

Запас завадостійкості для нульового стану:

$$V_{NL} = V_{IL(max)} - V_{OL(max)}.$$

В даній лабораторній роботі розглянемо базовий логічний елемент (ЛЕ) ТТЛ та ЛЕ, що виготовлені за КМОН технологією.

Елементи транзисторно-транзисторної логіки ТТЛ.

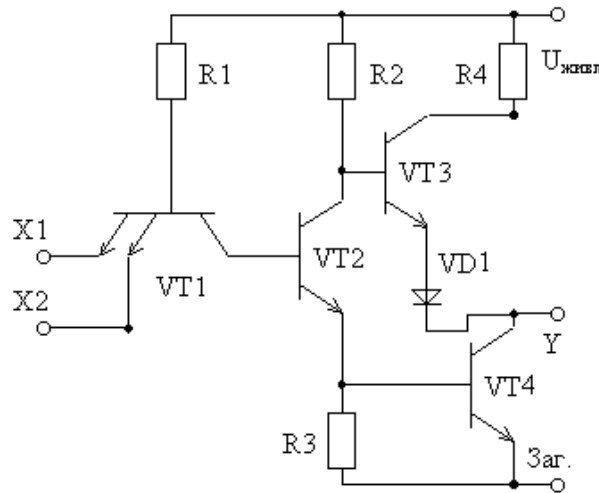


Рис. 1.1.2. Базовий елемент ТТЛ – І-НЕ.

Базовий елемент логічних схем ТТЛ – елемент І-НЕ, зображений на рис.1.1.2. Характеристики входів ТТЛ обумовлені внутрішньою структурою багатоемітерного транзистора VT1. Даний транзистор еквівалентний групі діодів, кожен з яких замінює перехід база-емітер. При подачі прямого зміщення на один або обидва емітера відбувається відпирання транзистора VT1. І навпаки, транзистор виявиться закритим, якщо подати на всі емітери одночасно зворотне зміщення. Багатоемітерні транзистори можуть мати до 8 емітерів, а ЛЕ – відповідно таку ж кількість входів.

Для пояснення роботи схеми базового елемента ТТЛ І-НЕ замінимо в схемі (рис.1.1.2) багатоемітерний транзистор його діодним еквівалентом (рис.1.1.3). Отримаємо еквівалентну схему елемента І-НЕ на рис.1.1.4.

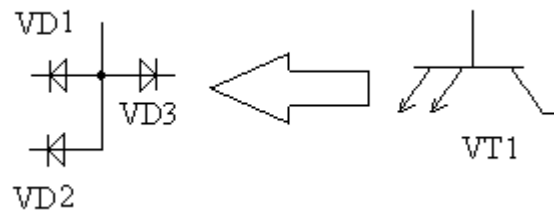


Рис. 1.1.3. Діодний еквівалент транзистора

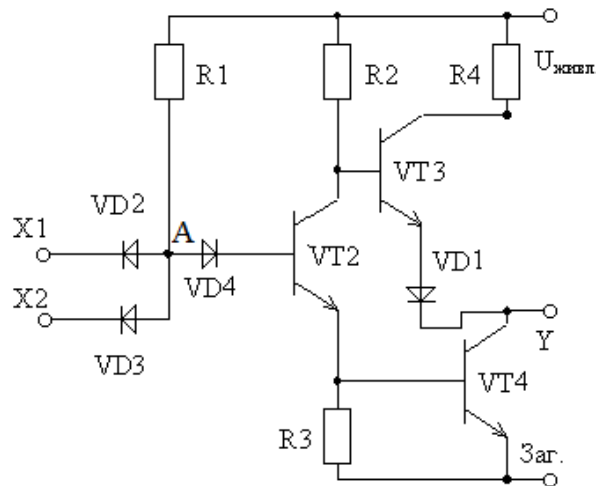


Рис. 1.1.4. Базовий елемент ТТЛ – І-НЕ з діодним еквівалентом транзистору VT1.

Розглянемо приклад, якщо на обидва входи X1 та X2 подати +5В (тобто логічні одиниці). Такий рівень напруги на катодах діодів VD2 і VD3 вимкне обидва діоди, тому вони практично не будуть пропускати через себе струм. Напруга живлення (+5В) призведе до появи струму через опір R1 та діод VD4 на базі транзистора VT2, який при цьому відкриється. Струм з емітера цього транзистора потече на базу VT4 і також ввімкне його. Струм з колектора транзистора VT2 призведе до падіння напруги на опорі R2, що зменшить напругу на колекторі VT2 до недостатнього значення для включення транзистора VT3.

Напруга на колекторі VT2 приблизно рівна 0.8 В. Вона складається з потенціалу 0.7 В на емітері транзистора VT2 відносно землі (викликаний прямим зміщенням на переході Е-Б транзистору VT4) і потенціалу 0.1 В колектору VT2 відносно його емітера (викликаний напругою К-Е). Ця напруга 0.8 В буде і на базі

транзистора VT3. Його недостатньо для прямого зміщення переходу Е-Б транзистора VT3 та діода VD1. Сам діод VD1 запобігати прямому зміщенню на переході Е-Б транзистору VT3. Якщо на виході Y низький рівень напруги, транзистор VT4 відкривається і фактично замикає точку Y на землю.

Якщо ж, наприклад, на один з входів X1 подати напругу живлення, а другий X2 приєднати до землі. Нульовий рівень на ньому призведе до прямого зміщення діода VD3, а це, в свою чергу, до протікання струму від джерела +5В через опір R1, діод VD3 та вивід X2 на землю. Падіння напруги на діоді VD3 забезпечує рівень напруги величиною 0.7В в точці А. Цієї напруги недостатньо для прямого зміщення діоду VD4 і переходу Е-Б VT2, тобто вони залишаються закритими.

Оскільки транзистор VT2 закритий, то на базу транзистора VT4 струм не поступає і він також буде закритим. На колекторі VT2 струм також не протікає, тому на базі транзистора VT3 значення напруги виявиться достатньо великим для прямого зміщення транзистора VT3 та діоду VD1 і VT3 – відкритий. Оскільки між точкою Y та землею навантаження не підключене (транзистор VT4 закритий), то значення напруги буде розраховуватись як різниця між напругою живлення +5В та падіннями напруги по 0.7 В на діоді VD1 та переході Е-Б транзистора VT3 (~3.6 В). Маємо високий рівень напруги на виході схеми.

Цей рівень сигналу буде зменшуватися при підключенні навантаження, оскільки воно буде зменшувати струм емітера VT3, що призведе до появи струму бази, що тече через опір R2, на якому падіння напруги збільшується.

Розглянемо випадок, якщо хоча б на один вхід транзистора VT1 не подати сигнал («залишити у повітрі»). Напруга живлення (+5В) призведе до появи струму через опір R1 та діод VD4 на базі транзистора VT2, який при цьому відкриється. Далі схема працює так

само, як і у випадку, коли на обидва входи подали напругу живлення +5В. Отже, з цього можна зробити висновок, що «залишений у повітрі» вхід схеми ТТЛ еквівалентний високому рівню напруги на ньому, тобто значенню логічної одиниці.

Всі мікросхеми ТТЛ мають напругу живлення 5В. Напруга низького рівня (логічний нуль) для всіх мікросхем ТТЛ складає 0.4В, напруга високого рівня (логічна одиниця) 2.4В.

Комплекс серій мікросхем ТТЛ включає серії 130, К131 (імпортні аналоги – серії 54Н, 74Н), серії 133, К155 (54, 74), серії К134, КР134 (54L, 74L).

На зміну мікросхемам ТТЛ прийшли мікросхеми ТТЛШ серій 530, К531 (54S, 74S), 533, 555 (54LS, 74LS), К1531 (74F), К1533 (74ALS). Останні дві серії відрізняються значно меншим енергоспоживанням.

Елементи транзисторно-транзисторної логіки на базі транзисторів Шотки ТТЛШ.

Відмінність елементу ТТЛ від ТТЛШ полягає в тому, що в транзисторах другого присутні діоди Шотки, які ввімкнені в транзистор між базою та колектором, обмежуючи насичення транзистора, що забезпечує вищу швидкодію та менше енергоспоживання.

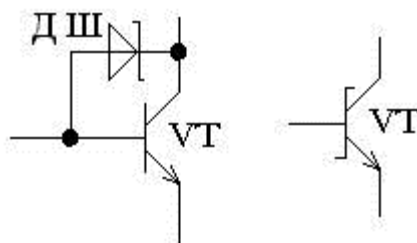


Рис.1.1.5. Транзистор Шотки

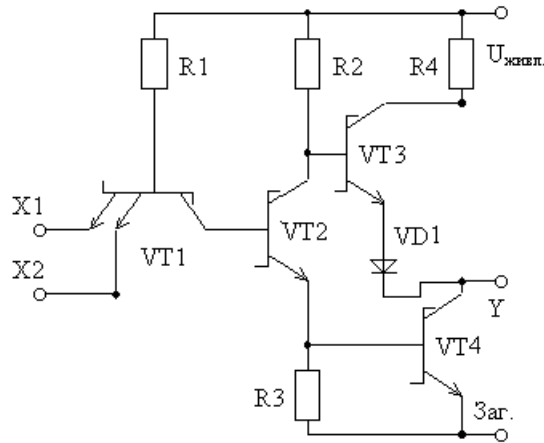


Рис.1.1.6. Базовий елемент ТТЛШ – І-НЕ.

Всі мікросхеми ТТЛ мають напругу живлення 5В. Напруга низького рівня (логічний нуль) для всіх мікросхем ТТЛШ складає 0.5В, напруга високого рівня (логічна одиниця) 2.7В.

Елементи на КМОН-транзисторах (КМОН – комплементарна метал-оксид-напівпровідник технологія).

Базовим логічним елементом на КМОН є елемент АБО-НЕ.

Ці мікросхеми виділяються серед інших найнижчим споживанням потужності від джерела живлення. Основу таких мікросхем складає ключовий каскад.

Керування польовим транзистором відбувається за допомогою напруги заслін-витік. Напруга заслін-витік $U_{зв}$ – вхідна напруга, що керує опором між стоком та витіком (тобто опором каналу). Якщо $U_{зв} = 0$, то транзистор – закритий. Якщо $U_{зв} = 5$ В, тобто значенню напруги живлення, то транзистор – відкритий. (Порогове значення для відкриття транзистора 1.5 В). Отже, КМОН транзистор можна розглядати як еквівалентний ключ, що керується напругою заслін-витік.

В схемах КМОН використовуються польові транзистори n-типу та p-типу. Функціонування цих двох типів транзисторів є

аналогічним, за виключенням того, що р-канальний польовий транзистор використовує для роботи напругу від'ємної полярності.

Якщо на обидва входи логічного елемента подати сигнал низького рівня (лог.0), то транзистори VT1, VT4 (з каналом n -типу) будуть в закритому стані ($U_{зв} = 0$), а транзистори VT3, VT2 (з каналом р-типу) – у відкритому ($U_{зв} = U_{живл}$). На виході елемента встановиться напруга високого рівня (лог.1).

Якщо хоча б на одному з входів елемента, наприклад X1, буде присутня напруга високого рівня, то транзистор VT1 буде у відкритому стані, а VT2 – у закритому. При цьому напруга на X2 відповідає рівню логічного нуля, тоді VT4 – закритий, напруга затвор-витік має значення високого рівня, тоді VT3 – відкритий. На виході встановиться напруга низького рівня.

В даній схемі логічного елемента для встановлення на виході значення напруги високого рівня є необхідним протікання струму через транзистори VT2 та VT3, тобто вони мають бути відкритими. У випадку, якщо хоча б один з них є закритим – на виході схеми встановлюється значення напруги низького рівня.

Для схем ЛЕ, виготовлених за технологією КМОН, заборонено залишати невикористані входи ЛЕ непідключеними, так як поведінка ІС, в даному випадку, є непередбачуваною.

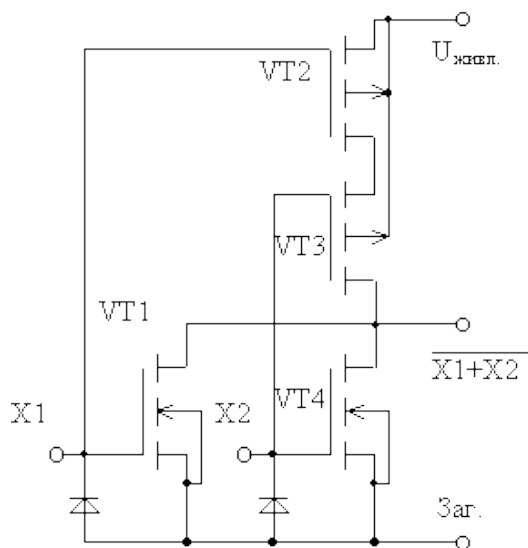


Рис.1.1.7. Базовий елемент АБО-НЕ на КМОН.

Елементи на КМОН-ключах характеризуються підвищеною завадостійкістю: допустима напруга статичної завади рівна половині напруги живлення. Однак такі ІМС вирізняються підвищеною чутливістю до статичної напруги, через високий вхідний опір. Для захисту від впливу статичної напруги в структуру ІМС вводяться діодно-резистивні кола. Основна область застосування мікросхем КМОН типу - це цифрові пристрої невисокої швидкодії з обмеженим енергоресурсом. Швидкодія КМОН мікросхем характеризується частотою перемикання до 3МГц.

За КМОН технологією виготовлені мікросхеми серії K176, 164 (4000), K561, 564 (4000A), KP1561 (4000B) (в дужках вказані імпорتنі аналоги).

Мікросхеми вказаних серій працездатні при напругах живлення від 3 до 15В. Ця особливість вказаних ІМС дозволяє суттєво знизити вимоги до джерел живлення по відношенню до їх потужності та якості фільтрації і за рахунок цього отримати значний виграш в масі та розмірах цифрових пристроїв. Деякі серії, наприклад, K176, вимагають напруги живлення 9В, але вони також спроможні працювати при зміні напруги живлення в значних межах.

На сьогоднішній день є тенденція витеснення ТТЛ логічних елементів логічними елементами, виготовленими за КМОН технологією.

Табл.1.1.1. Довідкові дані деяких мікросхем вітчизняного виробництва.

Тип логіки	Серія ІМС	$U_{ж}$, В, напруга живлення	$U^1_{вих}$, В, відповідає логічний 1 на виході	$U^0_{вих}$, В, відповідає логічний 1 на виході
ТТЛШ	K1531, K531, K1533, K555	5	2.7	0.5
ТТЛ	K131, K155, K134	5	2.4	0.4
КМОН	K176	9	7.7	0.5
	K561	5	4.99	0.01
	K564	5	4.99	0.01

1.2. Порядок виконання роботи

Варіанти завдань.

Варіанти завдань на виконання лабораторної роботи №1 наведені в табл.1.2.1.

Таблиця 1.2.1. Варіанти завдань до лабораторної роботи №1

№ за списком	№ варіанту	Завдання	
		I	II
1; 4; 7;10; 13; 16	1	ТТЛ*	ТТЛШ**
2; 5; 8; 11; 14; 17	2	ТТЛ*	КМОН***
3; 6; 9; 12; 15; 18	3	ТТЛШ**	КМОН***

* - транзисторно-транзисторна логіка;

** -транзисторно-транзисторна логіка на базі транзисторів Шотки;

*** -комплементарна метал-оксид-напівпровідник технологія;

Порядок виконання лабораторної роботи.

П.п.1-2 виконати для обох базових логічних елементів за варіантом завдання.

1. Зобразити електричні принципові схеми ЛЕ за варіантом для кожного з двох станів вхідних сигналів (ТТЛ, ТТЛШ – $X_1X_2 \rightarrow 11; 10$ КМОН – $X_1X_2 \rightarrow 00; 10$) з необхідними позначеннями на схемі: станів роботи транзисторів (відкритий, закритий), шляхи протікання струмів, значення керуючих напруг. Показати на схемі значення вхідних та вихідних сигналів.

2. В середовищі програмного моделювання (Multisim або в аналогічному за можливостями середовищі) за варіантом завдання зобразити електричні схеми ЛЕ за варіантом. Провести тестування роботи ЛЕ для різних логічних рівнів на вході для отримання високих та низьких рівнів сигналу на виході.

3. Порівняти ЛЕ між собою (за швидкодією, завадостійкістю)

6. Зробити висновкипо завершенні лабораторної роботи та оформити звіт. Форму протоколу наведено в додатку 1.

Зміст протоколу.

- ✓ мета роботи;
- ✓ постановка задачі;
- ✓ варіант завдання;
- ✓ електричні схеми ЛЕ за варіантом завдання для двох різних станів вхідних сигналів;
- ✓ результати моделювання роботи ЛЕ на комп'ютері за варіантом (PrintScreen програми):
 - моделювання роботи ЛЕ з високим рівнем напруги на виході;
 - моделювання роботи ЛЕ з низьким рівнем напруги на виході;
 - порогове значення напруг для переключення ЛЕ з одного логічного стану до іншого (теоретично);
- ✓ висновки по роботі (порівняння ЛЕ за різними технологіями виготовлення за швидкодією, завадостійкістю).

Контрольні питання.

1. Принцип роботи базового ЛЕ ТТЛ при різних значеннях вхідних напруг.
2. Принцип роботи базового ЛЕ ТТЛШ при різних значеннях вхідних напруг.
2. Принцип роботи базового ЛЕ на КМОП при різних значеннях вхідних напруг.
3. Сприймання ЛЕ різних технологій виготовлення непідключених входів.
4. Основні параметри роботи ЛЕ (швидкодія, завадостійкість, навантажувальна здатність).
5. Відмінність ТТЛ та ТТЛШ технологій виготовлення ЛЕ.

ЛАБОРАТОРНА РОБОТА №2

Спрощення логічних функцій та побудова цифрових комбінаційних схем на базових логічних елементах

Мета роботи.

Закріплення знань основних законів алгебри логіки. Оволодіння навичками розробки електричних принципових схем ЦП, їх збирання і налагодження.

Постановка задачі.

Реалізувати задану комбінаційну схему на запропонованій мікросхемі. Підтвердити працездатність реалізованої комбінаційної схеми.

2.1. Короткі теоретичні відомості

Етапи проектування цифрового пристрою (ЦП).

На сьогоднішній день, проектування ЦП доцільно проводити в 4 етапи.

1. Синтез та мінімізація логічної функції ЛФ.
2. Реалізація ЛФ у вигляді функціональної та електричної принципової схем.
3. Перевірка правильності функціонування схеми в пакеті комп'ютерного моделювання.
4. Виготовлення та налагодження фізичної реалізації ЛФ.

Форми запису логічних функцій.

Логічні функції ЛФ можуть бути задані:

- словами
- у вигляді таблиці істинності
- в арифметичній формі (у вигляді виразу).

ЛФ може бути задана будь-яким з цих способів, вони є рівнозначними між собою.

Розглянемо це на прикладі:

1. Словесний опис. Повністю визначена ЛФ у трьох аргументів А, В, С приймає значення «1», якщо хоча б два аргументи рівні 1. В усіх інших випадках ЛФ приймає значення «0».

2. У вигляді таблиці істинності – перелік всіх можливих комбінацій вхідних аргументів та відповідні їм вихідні значення ЛФ.

Таблиця 2.1.1. Таблиця істинності ЛФ

№	A	B	C	y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

3. Арифметична форма запису ЛФ. ЛФ можна записати за одиницями та за нулями.

При записі ЛФ за одиницями отримаємо *диз'юнктивну* форму запису, де кожен з доданків є логічним добутком всіх аргументів.

Можемо перейти від таблиці істинності до диз'юнктивної форми запису ЛФ. В таблиці істинності ЛФ залишаються тільки ті рядки, в яких ЛФ приймає значення 1. В результаті логічну функцію можна отримати у вигляді суми добутків вхідних аргументів. Кількість доданків дорівнює кількості рядків зі значенням ЛФ рівним 1. Доданки складаються з добутків вхідних аргументів: зі значенням рівним 1 аргументи входять до виразу без інверсії, зі значенням рівним 0 – з інверсією.

Таблиця 2.1.2. Диз'юнктивна форма запису ЛФ

№	A	B	C	y		
3	0	1	1	1	перший доданок	$\overline{A}BC$
5	1	0	1	1	другий доданок	$A\overline{B}C$
6	1	1	0	1	третій доданок	$AB\overline{C}$
7	1	1	1	1	четвертий доданок	ABC

$$y = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

При записі ЛФ за нулями отримаємо *кон'юнктивну* форму запису, де кожен співмножник є логічною сумою всіх аргументів.

Можемо перейти від таблиці істинності до кон'юнктивної форми запису ЛФ. В таблиці істинності ЛФ залишаються тільки ті рядки, в яких ЛФ приймає значення 0. В результаті логічну функцію можна отримати у вигляді добутків сум вхідних аргументів. Кількість добутків дорівнює кількості рядків зі значенням ЛФ рівним 0. Добутки складаються з сум вхідних аргументів: зі значенням рівним 0 аргументи входять до виразу без інверсії, зі значенням рівним 1 – з інверсією.

Таблиця 2.1.3. Кон'юнктивна форма запису ЛФ

№	A	B	C	y		
0	0	0	0	0	перший множник	$(A + B + C)$
1	0	0	1	0	другий множник	$(A + B + \overline{C})$
2	0	1	0	0	третій множник	$A + \overline{B} + C$
4	1	0	0	0	четвертий множник	$\overline{A} + B + C$

$$y = (A + B + C)(A + B + \overline{C})(A + \overline{B} + C)(\overline{A} + B + C)$$

Обидві форми запису є рівнозначними, оскільки відповідають одній таблиці істинності (табл.2.1.1.).

Кожна логічна операція реалізується за допомогою логічного елемента відповідного типу. Складність схеми, що реалізує ЛФ, її габарити, енергоспоживання, вартість залежать від кількості мікросхем, а не логічних елементів. До складу мікросхеми входить, як правило, тільки один тип логічних елементів. Тому при проектуванні основною задачею є мінімізація кількості використаних мікросхем. Тому одним з основних завдань при проектуванні схеми цифрового пристрою є мінімізація ЛФ та зведення її до єдиного базису.

Мінімізація ЛФ.

Мінімізація ЛФ – зменшення кількості логічних операцій в логічному виразі ЛФ. Це відповідає зменшенню кількості логічних елементів, що реалізує задану логічну функцію.

Мінімізація ЛФ базується на теоремах та аксіомах алгебри логіки.

Таблиця 2.1.4. Теореми та аксіоми алгебри логіки

1.	$A \cdot 0 = 0$	8.	$A \cdot 1 = A$
2.	$A \cdot A = A$	9.	$A \cdot \bar{A} = 0$
3.	$A + 0 = A$	10.	$A + 1 = 1$
4.	$A + \bar{A} = 1$	11.	$A + B = B + A$
5.	$A \cdot B = B \cdot A$	12.	$A + (B + C) = (A + B) + C$ $= A + B + C$
6.	$A(BC) = (AB)C = ABC$	13.	$(A + B)(C + D)$ $= AC + AD + BC + BD$
7.	$A + \bar{A}B = A + B$	14.	$\bar{A} + AB = \bar{A} + B$
15. $\bar{\bar{A}} = \bar{(\bar{A})} = A$			
Теорема де Моргана			
16.	$\overline{A \cdot B} = \bar{A} + \bar{B}$	17.	$\overline{A + B} = \bar{A} \cdot \bar{B}$

Приклади.

$$1. y = \bar{A}B\bar{C} + AB\bar{C} + B\bar{C}D$$

Винесем спільний множник $B\bar{C}$ за дужки $y = B\bar{C}(\bar{A} + A + D)$ (табл. 2.1.4. (6)).

Використаємо тотожність (табл. 2.1.4. (4)), маємо $y = B\bar{C}(1 + D)$.

Оскільки $1 + D = 1$, то $y = B\bar{C} \cdot 1 = B\bar{C}$. (табл. 1.4. (9), (11))

$$2. y = (A + B)(\bar{A} + C)(\bar{B} + \bar{C})$$

Розкриємо дужки (табл. 2.1.4. (14)):

$$y = A\bar{A} \cdot \bar{B} + A\bar{A} \cdot \bar{C} + AC\bar{B} + AC\bar{C} + AB\bar{B} + \bar{A}B\bar{C} + BC\bar{B} + BC\bar{C}.$$

Оскільки $A \cdot \bar{A} = 0$ та $A \cdot 0 = 0$ (табл. 2.1.4. (1), (10)), то $y = AC\bar{B} + \bar{A}B\bar{C}$.

$$3. y = \overline{(A + B)(\bar{A} + B)}$$

Скористаємось теоремою де Моргана (табл. 2.1.4. (16), (17)):

$$y = \overline{(A + B)(\bar{A} + B)} = \overline{(A + B)} \cdot \overline{(\bar{A} + B)} = \bar{A} \cdot \bar{\bar{A}} + \bar{A} \cdot \bar{B}.$$

Оскільки $\bar{\bar{A}} = A$ (15), то $y = \bar{A}B + A\bar{B}$.

Завдання. Синтезувати схему ЦП, що реалізує ЛФ $y = A\bar{B} \cdot \bar{C} + \bar{A}\bar{B}C + ABC$.

Мінімізуємо ЛФ.Винесемо спільний множник для перших двох доданків: $y = A\bar{B}(\bar{C} + C) + ABC$. Оскільки $\bar{C} + C = 1$, то $y = A\bar{B} \cdot 1 + ABC = A\bar{B} + ABC$.Винесемо множник A за дужки $y = A(\bar{B} + BC)$. $\bar{A} + AB = \bar{A} + B$ (табл.2.1.4. (14)) маємо $y = A(B + C) = AB + AC$.

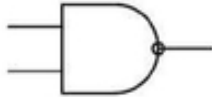
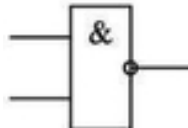
Слід зауважити, що ЛФ не завжди можна мінімізувати. Наприклад, схема логічної рівнозначності (нерівнозначності) не піддається мінімізації, оскільки її форма є вже мінімально можливою.


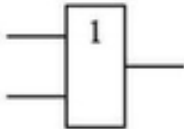

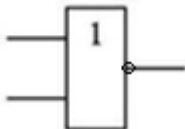
Мінімізацію за допомогою теорем та аксіом алгебри логіки доцільно проводити, якщо кількість вхідних аргументів не перевищує трьох. Загалом, більш доцільно мінімізувати ЛФ за допомогою карт Карно або діаграм Вейча, що дозволяють формалізувати пошук спільних множників та спростити використання теорем та аксіом алгебри логіки.

Базові логічні елементи.

Кожній логічній операції відповідає логічний елемент. Для ЛФ $y = AB + AC$ маємо 2 елементи «І» (AB, AC), 1 елемент «АБО» (+).

Елемент 2 «І» (на 2 входи)				
 позначення за стандартом ANSI	 традиційне позначення	Таблиця істинності елемента 2«І»		
		A	B	y
		0	0	0
		0	1	0
		1	0	0
		1	1	1

Елемент 2 «І-НЕ» (на 2 входи)					
 позначення за стандартом ANSI	 традиційне позначення		Таблиця істинності елементу 2«І-НЕ»		
			A	B	y
			0	0	1
			0	1	1
			1	0	1
			1	1	0
Елемент 2 «АБО» (на 2 входи)					

 позначення за стандартом ANSI	 традиційне позначення	<table><tr><th colspan="3">Таблиця істинності елементу 2«АБО»</th></tr><tr><th>A</th><th>B</th><th>y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	Таблиця істинності елементу 2«АБО»			A	B	y	0	0	0	0	1	1	1	0	1	1	1	1
Таблиця істинності елементу 2«АБО»																				
A	B	y																		
0	0	0																		
0	1	1																		
1	0	1																		
1	1	1																		
Елемент 2 «АБО-НЕ» (на 2 входи)																				
 позначення за стандартом ANSI	 традиційне позначення	<table><tr><th colspan="3">Таблиця істинності елементу 2«АБО- НЕ»</th></tr><tr><th>A</th><th>B</th><th>y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	Таблиця істинності елементу 2«АБО- НЕ»			A	B	y	0	0	1	0	1	0	1	0	0	1	1	0
Таблиця істинності елементу 2«АБО- НЕ»																				
A	B	y																		
0	0	1																		
0	1	0																		
1	0	0																		
1	1	0																		

Складання функціональної схеми.

$$\text{ЛФ } y = AB + AC.$$

1. Позначити шини вхідних аргументів(рис.2.1.1).

3 вхідних аргументи *A*, *B*, *C*.



Рис.2.1.1. Шини вхідних аргументів

2. Визначити кількість базових логічних операцій та їх порядок.

Дві логічні операції «І», одна операція «АБО».

3. Для кожної логічної операції зобразити відповідний логічний елемент(рис.2.1.2) та з'єднати їх в порядку виконання логічних операцій (рис.2.1.3).

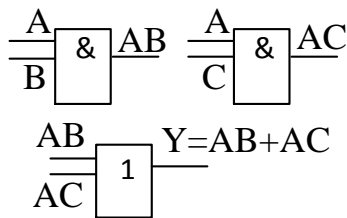


Рис.2.1.2. Логічні елементи

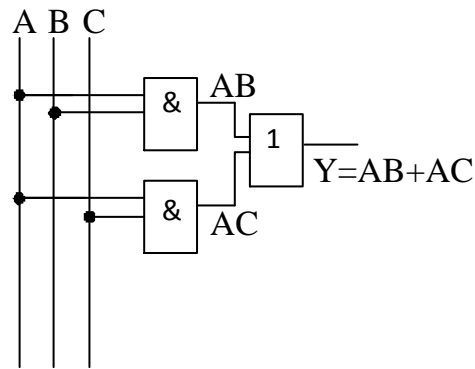


Рис.2.1.3. Функціональна схема цифрового пристрою

Дана схема реалізується на двох мікросхемах –наприклад, К155ЛИ1 (логічні елементи «І») та К155ЛЛ1 (логічні елементи «АБО»).

Зведення до єдиного базису. Теорема де Моргана.

Для зведення до одного базису (І, І-НЕ, АБО, АБО-НЕ) застосовують теореми де Моргана (табл.2.1.4. (16),(17)).

Зведемо ЛФ $y = AB + AC$ до базису «І-НЕ».

$y = \overline{\overline{AB} + \overline{AC}} = \overline{\overline{AB} \cdot \overline{AC}}$. Дана ЛФ містить 3 логічні елементи І-НЕ. Для реалізації схеми, наприклад на мікросхемі К155ЛА3, що складається з чотирьох елементів І-НЕ на 2 входи (див. додаток 1), необхідна 1 мікросхема.

Таким чином може бути зменшена складність реалізації, знижена вартість та габарити схеми при застосуванні однієї мікросхеми в базисі «І-НЕ» замість двох мікросхем базисів «І» та «АБО».

Побудова електричної принципової схеми.

Електрична принципова схема будується на основі функціональної схеми. Логічні елементи на електричній схемі нумерують відповідно до логічних елементів, що входять до складу мікросхем наступним чином DDi.j. (i – порядковий номер мікросхеми, j – порядковий номер логічного елементу в мікросхемі).

Побудуємо електричну схему для реалізації логічного виразу
 $y = \overline{\overline{AB} \cdot \overline{AC}}$ на мікросхемі К155ЛА3 (рис.2.1.4.):

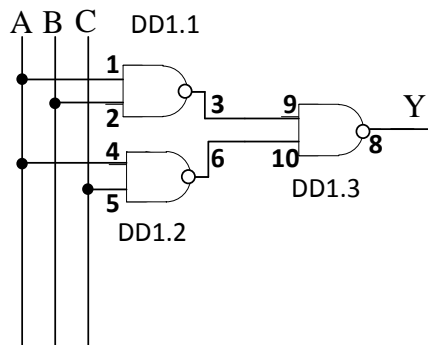


Рис.2.1.4. Електрична принципова схема цифрового пристрою

Перевірка правильності функціонування схеми в пакеті комп'ютерного моделювання.

Існує безліч комп'ютерних пакетів для моделювання роботи схем. Наприклад, Quartus, Electronic Workbench, Simulink Matlab, Multisim.

Наприклад, для входніх аргументів $ABC \rightarrow 001$ маємо на виході низький рівень сигналу $y = 0$ (рис.2.1.5а). Та для входньої комбінації $ABC \rightarrow 101$ маємо на виході високий рівень сигналу $y = 1$ (рис.2.1.5.б).

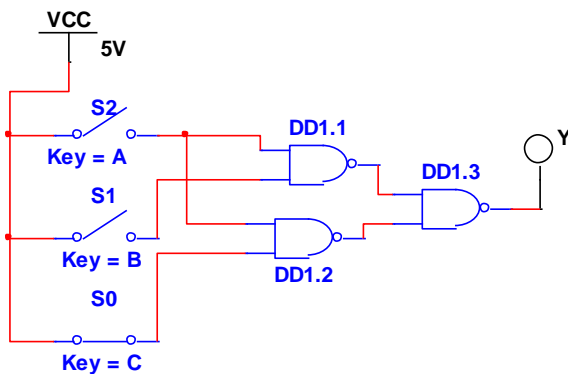


Рис.2.1.5.а. $ABC \rightarrow 001, y = 0$

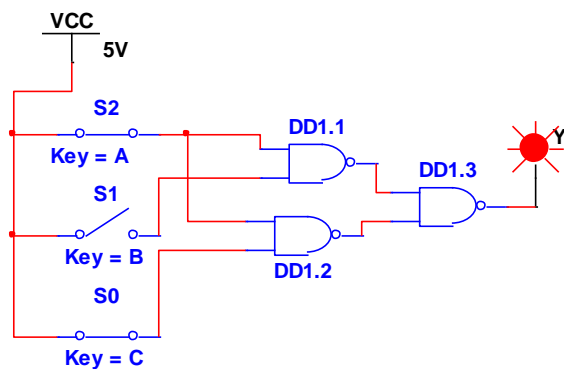


Рис.2.1.5.б. $ABC \rightarrow 101, y = 1$

Для всіх комбінацій входніх аргументів за таблицею істинності перевіряємо роботу синтезованої схеми.

Особливості складання схеми та налагодження її роботи

Складання схеми та її налагодження може проводитись за двома алгоритмами:

1. Повна збірка схеми згідно електричної принципової схеми і перевірка виконується з виходу на вхід.

Спочатку проводиться перевірка сигналів на виході схеми. Якщо робота схеми відповідає таблиці істинності, то її робота вважається правильною. У протилежному випадку треба зміститись на крок ближче до входу схеми і перевірити правильність роботи даного етапу. (Якщо на цьому етапі схема працює без помилок, то несправним є останній логічний елемент.) Якщо ж зміщена на крок ближче до входу схема працює неправильно, то необхідно рухатись ще на крок назад і повторювати процедуру.

Такий метод збирання і налагодження використовують на виробництві при виготовленні схеми на друкованій платі.

2. Поетапна збірка та налагодження схеми.

В даному випадку виконується поетапне складання схеми зі входу на вихід та перевірка роботи кожного наступного логічного елементу.

При виконанні лабораторної роботи рекомендується використовувати другий метод, хоча він займає більше часу, але при цьому дозволяє відразу виправляти можливі помилки.

Для зручності збирання та налагодження схеми рекомендується на виході кожного логічного елементу підписувати значення логічної функції (рис.2.1.6).

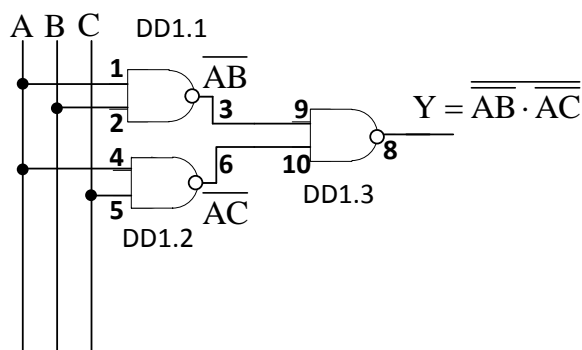


рис.2.1.6. Схема ЦП для зручності налагодження та перевірки роботи

2.2. Порядок виконання роботи

Варіанти завдань.

Варіанти завдань на виконання лабораторної роботи №2 наведені в табл.2.2.1 (А, В, С - однорозрядні двійкові числа).

Таблиця 2.2.1. Варіанти завдань до лабораторної роботи №2

№ за списком	№ варіанту	Завдання
1;8;15	1	Реалізувати схему логічної рівності ($A \neq B$)
2;9;16	2	Реалізувати схему логічної нерівності ($A = B$)
3;10;17	3	Реалізувати вираз $A \leq B$
4;11;18	4	Спростити та реалізувати вираз $y = A + \overline{A}B + (B\overline{C} + \overline{B}C)(CA + C\overline{A} + BC)$
5;12;19	5	Спростити та реалізувати вираз $y = (\overline{A} + B)(A + B + C)\overline{C} + \overline{B}C$
6;13;20	6	Спростити та реалізувати вираз $y = (A + B)(\overline{A} + \overline{B})(A + \overline{B}) + \overline{B}A(A + \overline{B} + AB)$
7;14;21	7	Спростити та реалізувати вираз $y = (C + A\overline{B}C)(B + \overline{B}A) \cdot A\overline{B}C$

Підготовка до виконання лабораторної роботи.

1. Здійснити мінімізацію ЛФ, використовуючи основні закони алгебри логіки, побудувати таблицю істинності даної логічної функції, привести її до заданого базису. (За замовчуванням базис І-НЕ).

2. Побудувати функціональну та електричну принципову схему ЦП, ознайомившись з довідковими даними заданої мікросхеми (за замовчуванням K155ЛА3 або 7400N) (див. додаток 1).

3. Перевірити правильність синтезу схеми, що реалізує дану ЛФ, провівши комп'ютерне моделювання схеми в пакеті, напр. Quartus або Multisim.

Виконання лабораторної роботи.

1. Зібрати макет та здійснити його налагодження.

2. Змінюючи значення вхідних аргументів A, B, C , скласти таблицю істинності логічної функції y , реалізованої на макеті. Переконалися в правильності роботи схеми.

3. Зробити висновки по завершенні лабораторної роботи та оформити звіт. Форму протоколу наведено в додатку 2.

Зміст протоколу.

- ✓ мета роботи;
- ✓ постановка задачі;
- ✓ варіант завдання:
 - запис ЛФ за варіантом завдання;
 - мінімізація ЛФ;
 - запис в єдиному базисі;
 - функціональна схема ЦП, що реалізує задану ЛФ;
 - таблиця істинності заданої ЛФ;
- ✓ електрична схема ЦП, що реалізує задану ЛФ;
- ✓ результати моделювання схеми на комп'ютері (PrintScreen програми);
- ✓ таблиця істинності реалізованої на макеті схеми;

✓ порівняння таблиці істинності синтезованого виразу та реалізованої схеми, перевірка правильності роботи схеми;

✓ висновки по роботі.

Структура висновків.

1. Мета проведення мінімізації ЛФ.
2. Основні закони алгебри логіки, що використовуються для мінімізації.
3. Закони, за якими здійснюється перехід від одного базису до іншого.
4. Доцільність зведення ЛФ до одного базису.
5. Яким чином проводилась перевірка правильності роботи схеми.

Контрольні питання.

1. Основні закони алгебри логіки. Застосування.
2. Спрощення логічних виразів.
3. Теорема де Моргана. Її застосування.
4. Етапи проектування ЦП.

ЛАБОРАТОРНА РОБОТА №3

Дослідження цифрових комбінаційних схем на базі мультимплексора

Мета роботи.

Оволодіння навичками розробки електричних принципових схем комбінаційної логіки на базі мультимплексора; їх збирання та налагодження.

Постановка задачі.

Реалізувати задані комбінаційні схеми на запропонованій мікросхемі. Підтвердити працездатність реалізованих комбінаційних схем.

3.1. Короткі теоретичні відомості

Основні положення. Визначення.

Мультимплексор – цифрова інтегральна мікросхема комбінаційної логіки, що має декілька входів різного призначення та один вихід. Вся сукупність входів мультимплексора розподіляється на дві групи – інформаційні входи (або входи даних) та адресні входи. Призначення мультимплексора – здійснити комутацію інформаційних входів під впливом сигналів на адресних входах, тобто в залежності від сигналів на адресних входах, на вихід передається сигнал одного з інформаційних входів.

Таким чином, мультимплексор – цифрова мікросхема, яка має N адресних входів та 2^N інформаційних входів.

В якості прикладу розглянемо мультимплексор $8 \rightarrow 1$. В мікросхемі вісім інформаційних входів $D0 - D7$, три адресні входи $A0 - A2$ і один вихід Y (рис. 3.1.1).

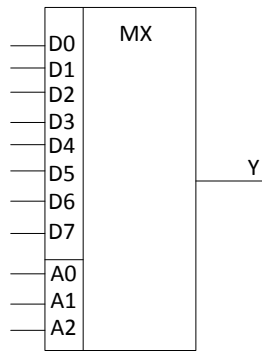


Рис.3.1.1. Мультиплексор 8 → 1

Таблиця істинності роботи даного мультиплексора наведена в табл.3.1.1.

Таблиця 3.1.1. Таблиця істинності мультиплексора 8 → 1.

A2	A1	A0	F
0	0	0	D0
0	0	1	D1
0	1	0	D2
0	1	1	D3
1	0	0	D4
1	0	1	D5
1	1	0	D6
1	1	1	D7

З таблиці видно, що подана на адресні входи комбінація відповідає номеру інформаційного входу, що в даному випадку спрацьовує.

Мультиплексор можна віднести до універсальних логічних елементів тому, що в разі, коли число вхідних сигналів (аргументів функції) не перевершує $N + 1$, реалізація будь-якої логічної функції не потребує додаткових елементів.

Приклад реалізації логічної функції з кількістю вхідних аргументів меншою, ніж кількість інформаційних входів.

Як приклад розглянемо реалізацію ЛФ $Y = A + B$ на базі мультиплексора з трьомаадресними входами.

Таблиця істинності даної функції $Y = A + B$:

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

За табл.3.1.1 подамо вхідні аргументи A і B на адресні входи двох молодших розрядів $A1 = A$, $A0 = B$, на старший розряд $A2$ подамо сигнал низького рівня, тобто логічний нуль (таким чином значення сигналів на вході не зміниться).

Отже,

$A2 = 0$	$A1 = A$	$A0 = B$	Інф.вх.	Y
0	0	0	$D0=0$	0
0	0	1	$D1=1$	1
0	1	0	$D2=1$	1
0	1	1	$D3=1$	1

Для реалізації даної схеми використаємо мікросхему K155КП5 (зарубіжний аналог мікросхема 74152N) (додаток 1).

Оскільки на виході мікросхеми присутня інверсія, то її необхідно врахувати при синтезі ЦП. Для цього слід приєднати додатковий інвертор на виході або проінвертувати вхідні сигнали, що подаються на інформаційні входи.

В данному випадку для простоти та економічності реалізації використаємо другий варіант. Тоді таблиця істинності буде мати такий вигляд:

$A2 = 0$	$A1 = A$	$A0 = B$	Інф.вх.	Y
0	0	0	$D0=1$	0
0	0	1	$D1=0$	1
0	1	0	$D2=0$	1
0	1	1	$D3=0$	1

Електрична схема цифрового пристрою для реалізації ЛФ $Y = A + B$ на базі мультіплексора.

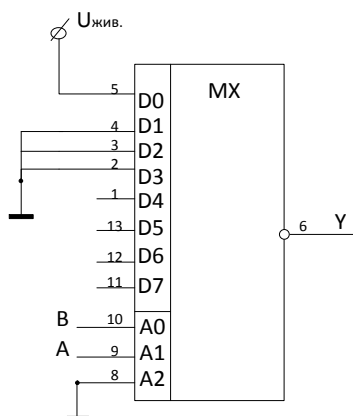
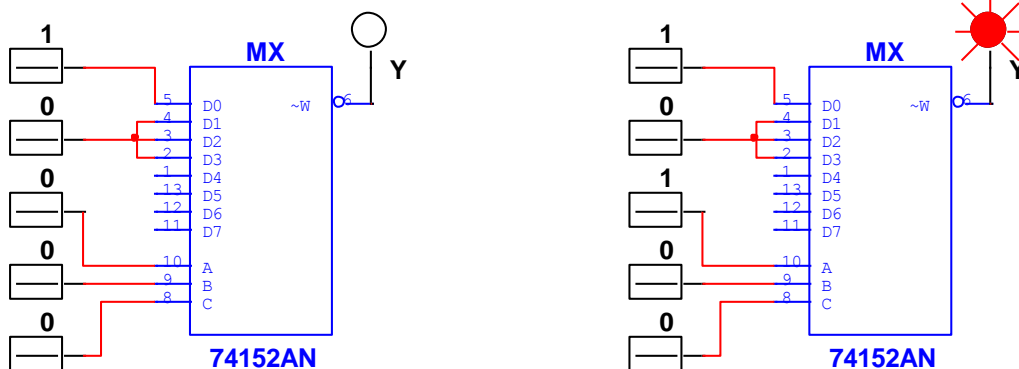


Рис.3.1.2. Електрична схема ЦП для реалізації ЛФ $Y = A + B$.

Невикористані інформаційні входи можемо залишити неприєднаними або подати на них високий рівень сигналу – логічну одиницю, тобто подати на них напругу живлення (за властивістю мікросхем ТТЛ).

Перевірка правильності роботи в середовищі комп'ютерного моделювання.

При комбінації на адресних входах мультіплексора $A2A1A0 \rightarrow 000$ на виході маємо низький рівень сигналу – логічний нуль (рис.3.1.3а). При комбінації – $A2A1A0 \rightarrow 001$ – високий рівень сигналу – логічну одиницю (рис.3.1.3б). Для всіх комбінацій вхідних аргументів за таблицею істинності перевіряємо роботу синтезованої схеми.



Розглянемо приклад синтезу ЦП на базі мультиплексора у випадку, коли кількість вхідних аргументів перевищує кількість адресних входів.

Приклад реалізації логічної функції з кількістю вхідних аргументів більшою, ніж кількість інформаційних входів.

Застосувати мультиплексор $8 \rightarrow 1$ для перевірки правильності передачі 5тирозрядного коду 1; 2; 3; 4; 5; 6; 7; 15; 16; 17; 18; 27; 28; 29; 30.

Таблиця 3.1.2. Таблиця істинності даної ЛФ

№	X_4	X_3	X_2	X_1	X_0	Y
0	0	0	0	0	0	0
1	0	0	0	0	1	1
2	0	0	0	1	0	1
3	0	0	0	1	1	1
4	0	0	1	0	0	1
5	0	0	1	0	1	1
6	0	0	1	1	0	1
7	0	0	1	1	1	1
8	0	1	0	0	0	0
9	0	1	0	0	1	0
10	0	1	0	1	0	0
11	0	1	0	1	1	0
12	0	1	1	0	0	0
13	0	1	1	0	1	0
14	0	1	1	1	0	0
15	0	1	1	1	1	1
16	1	0	0	0	0	1
17	1	0	0	0	1	1
18	1	0	0	1	0	0
19	1	0	0	1	1	0
20	1	0	1	0	0	0
21	1	0	1	0	1	0
22	1	0	1	1	0	0
23	1	0	1	1	1	0
24	1	1	0	0	0	0
25	1	1	0	0	1	0
26	1	1	0	1	0	0
27	1	1	0	1	1	1
28	1	1	1	0	0	1
29	1	1	1	0	1	1

30	1	1	1	1	0	1
31	1	1	1	1	1	0

Маємо п'ять вхідних аргументів $X_4 - X_0$. Виберемо три аргументи, що подаються на адресні входи, наприклад, $X_4 \rightarrow A2$, $X_3 \rightarrow A1$, $X_2 \rightarrow A0$. Комбінації даних вхідних аргументів визначають відповідні інформаційні входи. Аргументи X_1 та X_0 визначають функції, що будуть подаватись на відповідні інформаційні входи. Таблиця істинності реалізації роботи даного ЦП на мультиплексорі (мікросхема K155КП5 – з урахуванням інверсійного виходу) наведена в табл.3.1.3.

Таблиця 3.1.3. Таблиця істинності даної ЛФ, що реалізується на мультиплексорі $8 \rightarrow 1$ з інверсним виходом

№	$A2 \rightarrow X_4$	$A1 \rightarrow X_3$	$A0 \rightarrow X_2$	X_1	X_0	Інф.вх.	Y
0	0	0	0	0	0	D0	1
1	0	0	0	0	1		0
2	0	0	0	1	0		0
3	0	0	0	1	1		0
4	0	0	1	0	0	D1	0
5	0	0	1	0	1		0
6	0	0	1	1	0		0
7	0	0	1	1	1		0
8	0	1	0	0	0	D2	1
9	0	1	0	0	1		1
10	0	1	0	1	0		1
11	0	1	0	1	1		1
12	0	1	1	0	0	D3	1
13	0	1	1	0	1		1
14	0	1	1	1	0		1
15	0	1	1	1	1		0
16	1	0	0	0	0	D4	0
17	1	0	0	0	1		0
18	1	0	0	1	0		1
19	1	0	0	1	1		1
20	1	0	1	0	0	D5	1
21	1	0	1	0	1		1
22	1	0	1	1	0		1
23	1	0	1	1	1		1
24	1	1	0	0	0	D6	1
25	1	1	0	0	1		1
26	1	1	0	1	0		1
27	1	1	0	1	1		0
28	1	1	1	0	0	D7	0

29	1	1	1	0	1		0
30	1	1	1	1	0		0
31	1	1	1	1	1		1

Визначимо функції, що подаються на кожний з входів.

Одразу видно, що на вхід D1 необхідно подати сигнал низького рівня – логічний нуль, а на входи D2 та D5 – сигнал високого рівня, тобто логічні одиниці.

Для визначення логічної функції на вході D0 побудуємо карту Карно для аргументів X_1 та X_0 .

	X_0	
	0	1
X_1	0	0

Запишемо ЛФ за одиницями: $D0 = \overline{X_1} \cdot \overline{X_0}$.

Як видно з таблиці 3.1.3, однакові логічні функції подаються на входи D3 та D6; D4 та D7.

Аналогічно побудуємо карти Карно для визначення ЛФ, що подаються на ці входи.

D3=D6:

	X_0	
	1	1
X_1	0	1

$$D3 = D6 = \overline{X_1} + \overline{X_0}$$

D4=D7:

	X_0	
	0	0
X_1	1	0

$$D4 = D7 = X_1 \cdot X_0$$

Для мінімізації схеми ЦП (зменшення кількості використаних мікросхем) зведемо всі логічні функції, що подаються на інформативні входи до одного базису (до базису І-НЕ).

$$D0 = \overline{\overline{\overline{X_1}} \cdot \overline{\overline{\overline{X_0}}}}$$

$$D3 = D6 = \overline{\overline{\overline{\overline{X_1} + X_0}}} = \overline{\overline{X_0 \cdot X_1}}. D4 = D7 = X_1 \cdot X_0 = \overline{\overline{\overline{X_1 \cdot X_0}}}$$

Електрична принципова схема даного ЦП.

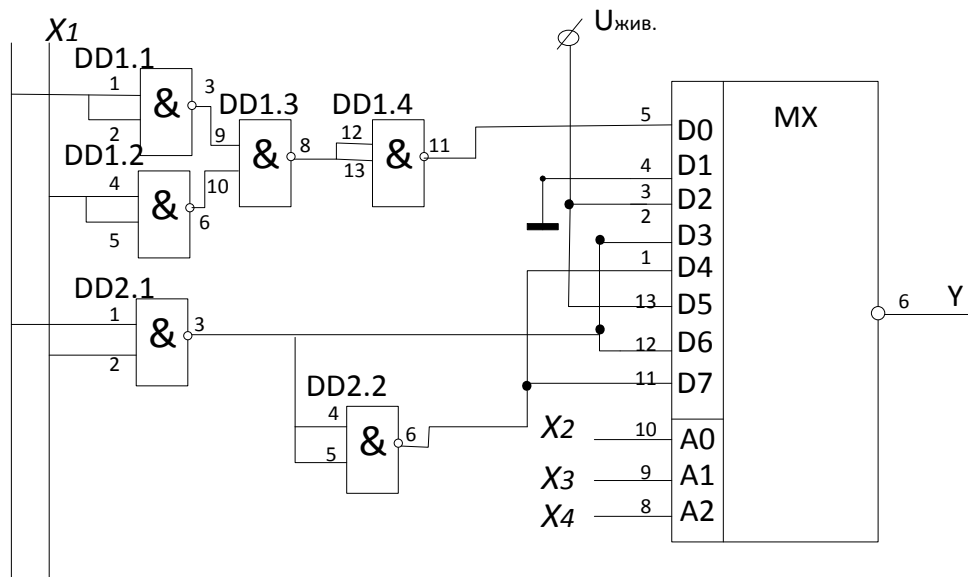


Рис.3.1.4. Електрична принципова схема ЦП на базі мультиплексора з сигналами, що подаються на адресні входи $A2A1A0 \rightarrow X_4X_3X_2$.

Перевірка правильності роботи в середовищі комп'ютерного моделювання.

Даним методом синтезу схеми ЦП за таблицею істинності зручно користуватись при виборі старших розрядів багаторозрядного числа (переданого коду) в якості комбінацій вхідних аргументів, що подаються на відповідні адресні входи ($A2A1A0 \rightarrow X_4X_3X_2$).

Проте, на адресні входи може бути передана комбінація будь-яких з вхідних аргументів. Наприклад, $A2A1A0 \rightarrow X_2X_1X_0$, тоді при використанні методу синтезу ЦП за таблицею істинності необхідно зводити цю таблицю за рядками для однакових значень, що подаються на адресні входи.

№	X_4	X_3	$A2 \rightarrow X_2$	$A1 \rightarrow X_1$	$A0 \rightarrow X_0$	Інф.вх.	Y
0	0	0	0	0	0	D0	1
8	0	1	0	0	0		1
16	1	0	0	0	0		0
24	1	1	0	0	0		1
1	0	0	0	0	1	D1	0
9	0	1	0	0	1		1
17	1	0	0	0	1		0
25	1	1	0	0	1		1
2	0	0	0	1	0	D2	0
10	0	1	0	1	0		1
18	1	0	0	1	0		0
26	1	1	0	1	0		1
і т.д.							

При різних комбінаціях вхідних аргументів, що подаються на адресні входи, матимемо різні сигнали на інформаційних входах. Тому отримаємо різні варіанти реалізації схеми ЦП на базі мультиплексора.

Рекомендується розглянути всі можливі варіанти реалізації схеми ЦП (при виборі різних комбінацій вхідних аргументів, що подаються на адресні входи) для вибору найбільш економічної мінімізованої схеми.

Для простішого розгляду всіх можливих варіантів реалізації зручніше користуватись методом карт Карно.

Синтез ЦП для реалізації заданої ЛФ на базі мультиплексора за допомогою методу карт Карно.

Розглянемо даний алгоритм на прикладі, що розглядався для синтезу за таблицею істинності.

Як відомо, таблиця істинності та карти Карно є рівнозначними тотожними формами запису ЛФ.

Будуємо карту Карно для п'ятирозрядного коду. Три розряди подаємо на адресні входи $A2$, $A1$, $A0$. Два інших розряди визначають безпосередньо функції, що подаються на інформаційні входи (X_i, X_j).

		<u>A0</u>		<u>A1</u>					
		<u>A2</u>				<u>A2</u>			
X_i	X_j								
		001	101	111	011	010	110	100	000
		D1	D5	D7	D3	D2	D6	D4	D0

A2A1A0

Отже, бачимо, що за допомогою карти Карно зручніше розглядати різні варіанти реалізації ЦП на базі мультиплексора. Кожен стовпець (комбінація вхідних аргументів на адресних входах) визначає номер інформаційного входу. Залишаються ще 2 вхідних аргументи, перебираючи комбінації яких змінюємо ЛФ, що подаються на інформаційні входи.

Наприклад, нехай $A2A1A0 \rightarrow X_2X_1X_0$, тоді $X_i \rightarrow X_4, X_j \rightarrow X_3$. Заповнюємо карту Карно.

		<u>X0</u>		<u>X1</u>					
		<u>X2</u>				<u>X2</u>			
X_4	X_3								
		0	1	1	1	0	1	1	0
		1	0	1	0	1	0	0	1
		1	1	0	1	1	1	1	1
		0	0	0	0	0	0	0	1
		<u>001</u>	<u>101</u>	<u>111</u>	<u>011</u>	<u>010</u>	<u>110</u>	<u>100</u>	<u>000</u>
		D1	D5	D7	D3	D2	D6	D4	D0

A2A1A0

Отже, на інформаційні входи подаємо наступні сигнали:

$$D0 = X_3 + \overline{X_3} \cdot \overline{X_4} = X_3 + \overline{X_4}; \quad D1 = D2 = X_3; \quad D3 = D4 = D5 = D6 = X_4 + X_3; \quad D7 = X_4.$$

Зведемо ЛФ, що подаються на входи $D0$ та $D3 = D4 = D5 = D6$ до одного базису (за замовчуванням І-НЕ).

$$D0 = X_3 + \overline{X_4} = \overline{\overline{X_3 + \overline{X_4}}} = \overline{\overline{X_3} \cdot X_4}; \quad D3 = D4 = D5 = D6 = X_4 + X_3 = \overline{\overline{X_4 + X_3}} = \overline{\overline{X_4} \cdot \overline{X_3}}$$

Електрична принципова схема даного ЦП на базі мультиплексора з сигналами, що подаються на адресні входи $A_2A_1A_0 \rightarrow X_2X_1X_0$.

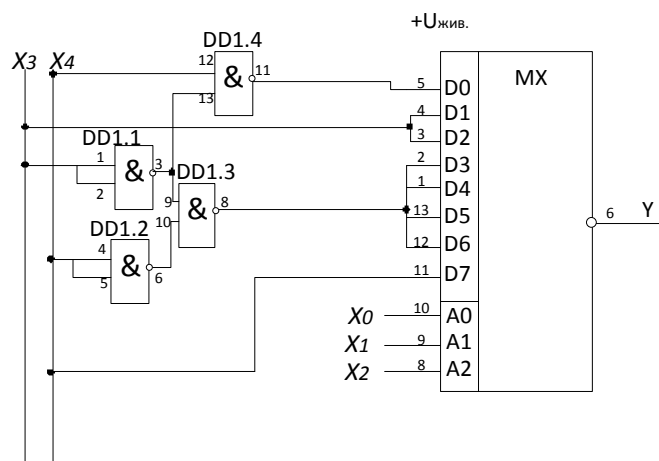


Рис.3.1.5. Електрична принципова схема ЦП на базі мультиплексора з сигналами, що подаються на адресні входи $A_2A_1A_0 \rightarrow X_2X_1X_0$.

Як бачимо, для реалізації сигналів, що подаються на інформаційні входи, необхідно використати одну мікросхему K155ЛА3 та мультиплексор K155КП5.

Дана схема є більш мінімізованою в порівнянні зі схемою рис.3.1.4.

Таким чином видно, що підбір різних варіантів комбінацій вхідних аргументів, що подаються на адресні входи є важливим при реалізації схем ЦП.

3.2. Порядок виконання роботи

Варіанти завдань.

I завдання

Варіанти завдань на виконання даного завдання лабораторної роботи №3 відповідають варіантам завдань лабораторної роботи №2 (табл.2.2.1).

За варіантом реалізувати ЦП на базі мультиплексора $8 \rightarrow 1$ (за замовчуванням на мікросхемі K155КП5 або K155КП7).

II завдання

Реалізувати ЦП на базі мультиплексора $8 \rightarrow 1$ (мікросхема K155КП5 або K155КП7) для перевірки правильності передачі 5тирозрядного коду.

При спрацюванні вірної комбінації чисел на вході сигнал на виході пристрою приймає значення логічної «1», в протилежних випадках – 0.

В таблиці 3.2.1 представлені комбінації кодів.

Таблиця 3.2.1. Варіанти завдань до лабораторної роботи №3.II

№ за списком	№ варіанту	Завдання
1;8;15	1	1,3,4,6,8,9,10,11,12,17,18,22,23,25,26,27,30
2;9;16	2	1,3,5,8,9,15,19,23,24,30,31
3;10;17	3	3,4,5,6,9,11,12,14,18,19,20,21,24,25,26,27,29
4;11;18	4	0,1,2,6,8,9,11,14,17,18,21,25,27,28,29,31
5;12;19	5	1,6,7,10,12,13,14,15,16,17,23,27,28,30
6;13;20	6	0,2,4,5,6,9,10,13,14,16,21,25,29,31
7;14;21	7	1,3,6,8,10,11,17,21,23,24,26,28,29,31

Підготовка до виконання лабораторної роботи.

I завдання

За варіантом завдання записати мінімізовану ЛФ, її таблицю істинності, таблицю істинності реалізації даної ЛФ на базі мультиплексора. Синтезувати за таблицею істинності схему ЦП, відобразити електричну принципову схему даного ЦП та перевірити правильність роботи схеми в середовищі комп'ютерного моделювання.

II завдання

За варіантом завдання скласти таблицю істинності ЛФ, скласти таблицю істинності реалізації схеми ЦП на базі мультиплексора (подати на адресні входи комбінацію аргументів $X_4X_3X_2$) та скласти вирази для ЛФ, що подаються на інформаційні входи. Відобразити електричну принципову схему ЦП. Побудувати карту Карно (або

таблицю істинності) за завданням, обравши в якості комбінації вхідних аргументів для адресних входів комбінацію $X_2X_1X_0$. Скласти вирази для ЛФ, що подаються на інформаційні входи та відобразити електричну принципову схему. Обрати з цих варіантів найбільш мінімізовану схему для її реалізації на макеті в лабораторії та перевірити правильність її роботи в середовищі комп'ютерного моделювання.

Виконання лабораторної роботи.

1. Зібрати макет та здійснити його налагодження (для завдання I та II).

2. Змінюючи значення вхідних аргументів (A, B, C – I завдання та $X_4 - X_0$ – II завдання) скласти таблицю істинності логічної функції, реалізованої на макеті. Переконатися в правильності роботи схеми.

3. Зробити висновки по завершенні лабораторної роботи та оформити звіт. Форму протоколу наведено в додатку 4.

Зміст протоколу.

✓ мета роботи;

✓ постановка задачі;

I завдання:

✓ варіант завдання – логічна функція;

✓ таблиця істинності логічної функції;

✓ таблиця істинності реалізації даної ЛФ на базі мультиплексора;

✓ електрична схема ЦП, що реалізує задану ЛФ;

✓ результати моделювання схеми на комп'ютері (PrintScreen програми);

✓ таблиця істинності реалізованої на макеті схеми;

✓ порівняння таблиці істинності синтезованого виразу та реалізованої схеми, перевірка правильності роботи схеми;

✓ висновки по роботі за I завданням.

II завдання:

- ✓ варіант завдання ;
- ✓ таблиця істинності логічної функції за завданням;
- ✓ таблиця істинності реалізації даної ЛФ на базі мультиплексора при комбінації вхідних аргументів, що подаються на адресні входи $A_2A_1A_0 \rightarrow X_2X_1X_0$;
- ✓ вирази для ЛФ, що подаються на інформаційні входи мультиплексора;
- ✓ електрична принципова схема ЦП;
- ✓ карта Карно для другого варіанту комбінації вхідних аргументів, що подаються на входи мультиплексора ($A_2A_1A_0 \rightarrow X_2X_1X_0$);
- ✓ вирази для ЛФ, що подаються на інформаційні входи мультиплексора при $A_2A_1A_0 \rightarrow X_2X_1X_0$;
- ✓ електрична принципова схеми ЦП;
- ✓ схема ЦП з мінімальною кількістю елементів ;
- ✓ висновки по роботі за II завданням.

Контрольні питання.

1. Принцип дії мультиплексора.
2. Побудова ЦП на базі мультиплексорів.
3. Мультиплексор як універсальний логічний пристрій.

ЛАБОРАТОРНА РОБОТА №4

Дослідження цифрових послідовних схем (автомати з пам'яттю)

Мета роботи.

Оволодіння навичками розробки електричних принципових схем цифрових автоматів з пам'яттю (лічильника імпульсів – синхронного з паралельним перенесенням та асинхронного); їх збирання та налагодження.

Постановка задачі.

Реалізувати у вигляді працюючого макету ЦП з заданими технічними характеристиками, використавши запропоновані мікросхеми тригерів та комбінаційної логіки. Провести ладнання макету та підтвердити правильність його функціонування.

4.1. Короткі теоретичні відомості

Основні положення. Визначення.

Тригер – пристрій, що має два сталих стани виходу «0» або «1». Керування станами JK-тригера здійснюється сигналами «J» та «K» на входах тригера, переключення відбувається в момент перепаду рівня на тактовому вході «C». Як вказано на рис.4.1.1 переключення відбувається по передньому фронту тактуючого імпульсу (при переході від «0» до «1»). Тригер має 2 виходи – з прямим та інверсним значенням.

Сигнал «J» - сигнал «Установлення», тобто при подаванні на вхід «J» логічної «1» на виході тригера встановиться сигнал логічної «1». Сигнал «K» - сигнал «Скидання», тобто при подаванні на вхід «K» логічної «1» на виході тригера встановиться сигнал логічної «0».

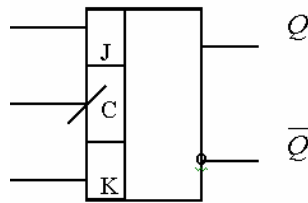


Рис.4.1.1. JK-тригер.

Роботу тригера можна описати за допомогою таблиці переходів.

Таблиця 4.1.1. Таблиця переходів JK-тригера.

J	K	Q^t	Q^{t+1}
0	x	0	0
1	x	0	1
x	0	1	1
x	1	1	0

Q^t – стан виходу тригера до подачі тактового імпульсу (початковий стан); Q^{t+1} – стан виходу тригера після подачі тактового імпульсу; знак «х» означає, що при будь-якому сигналі на вході тригера («1» або «0»), стан виходу залишається таким, як вказано в таблиці.

Приклад реалізації цифрового автомату на основі JK-тригерів.

Завдання. Синтезувати схему додавального лічильника з модулем лічби $M=8$.

Виконати синтез **синхронного лічильника**.

1. Зобразити діаграми переходів станів цифрового автомату.

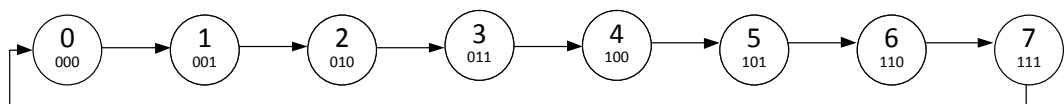


Рис.4.1.2. Діаграма станів лічильника

Необхідна кількість тригерів N розраховується за формулою $N \geq \log_2 m$, m – можлива кількість станів автомата.

$$N \geq \log_2 8 \rightarrow 3$$

2. Побудувати таблицю переходів (станів) кожного тригера, що входить до складу пристрою, що проектується.

За табл. 4.1.1 заповнюємо наступну таблицю.

Наприклад, вхідні сигнали J_2K_2 тригера ТТ2 визначаємо за значеннями вихідного сигналу Q_2 . В першому, другому та третьому рядку сигнал Q_2 значення не змінює – встановлений «0» – сигнал $J_2 = 0$ (встановлення «1» не відбувається), $K_2 = x$. В четвертому рядку сигнал Q_2 змінює значення з «0» на «1», тому на вхід J_2 подаємо логічну «1», $K_2 = x$. В п'ятому – шостому рядках Q_2 зберігає значення «1», тому на вхід K_2 подаємо «0» (скидання на нуль не відбувається), $J_2 = x$. В останньому рядку таблиці відбувається скидання сигналу Q_2 з «1» в «0», тому $K_2 = 1$, $J_2 = x$.

Аналогічно заповнюється таблиця для сигналів J_1K_1 та J_0K_0 .

Таблиця 4.1.2. Таблиця переходів JK-тригерів, що входять до складу схеми синхронного лічильника.

$(Q_2Q_1Q_0)^t$	$(Q_2Q_1Q_0)^{t+1}$	J_2K_2	J_1K_1	J_0K_0
000	001	0 x	0 x	1 x
001	010	0 x	1 x	x 1
010	011	0 x	x 0	1 x
011	100	1 x	x 1	x 1
100	101	x 0	0 x	1 x
101	110	x 0	1 x	x 1
110	111	x 0	x 0	1 x
111	000	x 1	x 1	x 1

3. Визначити сигнали на входах кожного тригера.

$$J_0 = K_0 = 1.$$

З таблиці видно, що можна записати $J_1 = K_1 = Q_0$.

Для визначення сигналів J_2 та K_2 побудуємо карти Карно.

$J_2:$

	Q_2		
0	x	x	0
1	x	x	0

 Q_0

Q_1			
0	1	0	1

 $J_2 = Q_0 \cdot Q_1$

$K_2:$

	Q_2		
x	0	0	x
x	1	0	x

 Q_0

Q_1			
0	1	0	1

 $K_2 = Q_0 \cdot Q_1$

4. Побудувати функціональну схему роботи ЦП.

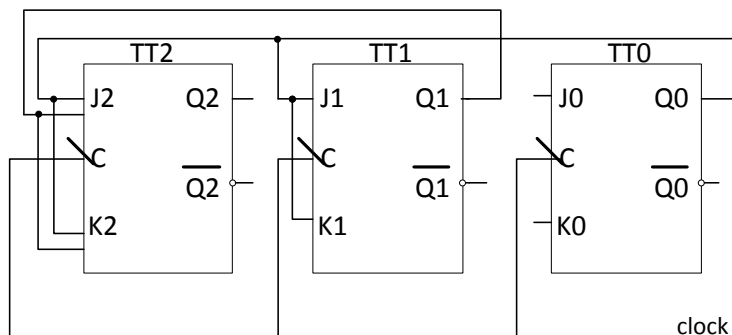


Рис.4.1.3. Функціональна схема синхронного лічильника

Кожен тригер схеми трактується одним тактуючим сигналом «clock».

Примітка. Якщо сигнали на входах тригерів необхідно мінімізувати – звести їх до одного базису (за замовчуванням І-НЕ).

5. Побудувати електричну принципову схему ЦП (за замовчуванням JK-тригер – мікросхема K155ТВ1 (Додаток1)).

Примітка. Тригери виготовлені на мікросхемі K155ТВ1 мають по три входи J, які між собою з'єднані логічним оператором «І». Входи \bar{R} та \bar{S} – інвертовані Reset та Set відповідно, тому можуть бути задіяні низьким потенціалом, тобто логічним «0». Подаючи «0» на вхід \bar{R} на виході тригера встановлюється низький рівень сигналу, на вхід \bar{S} – високий рівень.

В даній мікросхемі переключення відбувається в момент перепаду рівня на тактовому вході «С» з «1» до «0», тобто по задньому фронту тактуючого сигналу.

6. Провести перевірку правильності роботи схеми в середовищі комп'ютерного моделювання. (В середовищі комп'ютерного

моделювання необхідно, щоб всі входи були підключені – на незадіяні входи J та K подати логічну «1», на входи \bar{R} та \bar{S} – також логічну «1»).

7. Зобразити часові діаграми сигналів на входах та виходах тригерів.

Для побудови часових діаграм спочатку необхідно зобразити послідовність тактових імпульсів. По задньому фронту тактових імпульсів розділяємо часовий інтервал на проміжки переключення сигналів.

За табл. 4.1.2 спочатку визначаємо сигнали на виході тригерів Q_2, Q_1, Q_0 . Далі можна відобразити інвертовані значення сигналів на виході $\bar{Q}_2, \bar{Q}_1, \bar{Q}_0$. За цими значеннями та за визначенням сигналів на входах (п.3) можна відобразити часові діаграми сигналів на входах тригерів $J_2, K_2, J_1, K_1, J_0, K_0$.

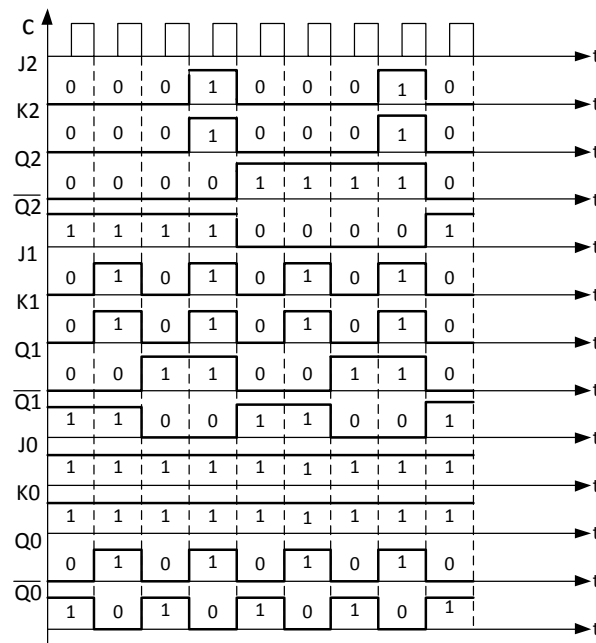


Рис.4.1.4. Часові діаграми сигналів на входах та виходах синхронного лічильника

Примітка. При побудові часових діаграм вказується один період сигналів і хоча б одне значення наступного періоду.

Виконати синтез **асинхронного лічильника.**

1. За часовими діаграмами (рис.4.1.4) визначити тактуючі сигнали, що подаються на входи тригерів.

Оскільки сигнал на виході тригера ТТ0 Q_0 змінює своє значення найчастіше, то даний тригер тактується сигналом тактування «clock».

Принцип побудови асинхронного лічильника полягає в тому, що тригери в схемі можуть тактуватись сигналами на виходах один одного.

За рис.4.1.4 визначаємо, що сигнал тактування тригера ТТ1 може подаватись з виходу Q_0 тригера ТТ0. Оскільки в момент переключення сигналу Q_1 сигнал Q_0 переходить від «1» до «0».

Аналогічно, для тригера ТТ2 тактуючим сигналом буде сигнал Q_1 , бо при переключенні значень сигналу Q_1 є перехід сигналу Q_1 від «1» до «0».

2. Побудувати таблицю переходів (станів) кожного тригера, що входить до складу пристрою, що проектується.

Оскільки тригер ТТ0 тактується сигналом «clock», сигнали J_0 та K_0 залишаються незмінними.

В момент переходу Q_1 від «1» до «0» та навпаки визначаємо сигнали J_1 та K_1 , для інших випадків (збереження значень «1» та «0») на входи J_1 та K_1 може бути подано будь-який сигнал, тобто в таблиці ставимо знак «х».

Таблиця 4.1.3. Таблиця переходів JK-тригерів, що входять до складу схеми асинхронного лічильника.

$(Q_2Q_1Q_0)^t$	$(Q_2Q_1Q_0)^{t+1}$	J_2K_2	J_1K_1	J_0K_0
000	001	x x	x x	1 x
001	010	x x	1 x	x 1
010	011	x x	x x	1 x
011	100	1 x	x 1	x 1
100	101	x x	x x	1 x
101	110	x x	1 x	x 1
110	111	x x	x x	1 x
111	000	x 1	x 1	x 1

3. Визначити сигнали на входах кожного тригера.

Отже, маємо $J_2 = K_2 = J_1 = K_1 = J_0 = K_0 = 1$.

4. Побудувати функціональну схему роботи ЦП.

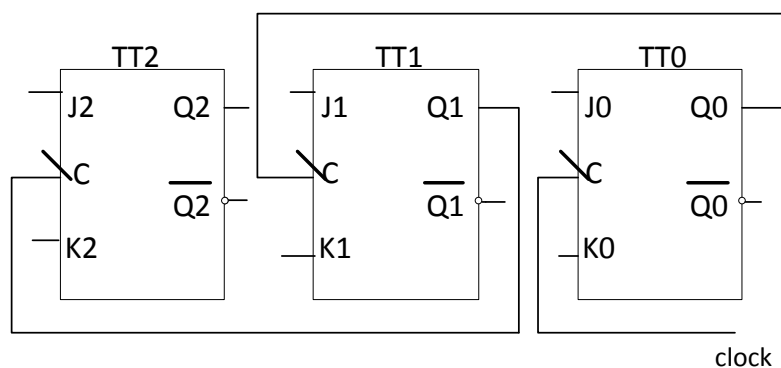


Рис.4.1.5. Функціональна схема асинхронного лічильника.

5. Побудувати електричну принципову схему ЦП (за замовчуванням JK-тригер – мікросхема К155ТВ1 (Додаток1)).
6. Провести перевірку правильності роботи схеми в середовищі комп'ютерного моделювання.
7. Зобразити часові діаграми сигналів на входах та виходах тригерів.

4.2. Порядок виконання роботи

Варіанти завдань.

Синтезувати цифровий автомат – синхронний та асинхронний лічильник за варіантом завдання. Варіанти завдань на виконання лабораторної роботи №4 наведені в табл.4.2.1.

Таблиця 4.2.1. Варіанти завдань на виконання лабораторної роботи №4.

№ за списком	№ варіанту	Завдання
1;8;15	1	Лічильник додавальний з переходом станів 2→6
2;9;16	2	Лічильник віднімальний з переходом станів 7→3
3;10;17	3	Лічильник додавальний з переходом станів 3→7
4;11;18	4	Лічильник віднімальний з переходом станів 6→1
5;12;19	5	Лічильник додавальний з переходом станів 1→5
6;13;20	6	Лічильник додавальний з переходом станів 1→6
7;14;21	7	Лічильник віднімальний з переходом станів 6→2

Підготовка до виконання лабораторної роботи.

Синтез схеми синхронного лічильника

1. Визначити кількість тригерів, необхідних для реалізації заданого коефіцієнту лічби.

2. Зважаючи на заданий тип тригера (визначається типом відповідної мікросхеми – за замовчуванням, мікросхема K155TB1 (аналог 7472, SN7472N, SN7472J), тобто JK-тригер) записати таблицю його переходів.

3. Побудувати таблицю переходів (станів) кожного тригера, що входить до складу пристрою, що проектується.

4. Побудувати карти Карно для сигналів на входах кожного тригера.

5. Отримати мінімізовані функції для сигналів на входах кожного тригера.

6. Привести отримані логічні функції до заданого базису (за замовчуванням – базис І-НЕ).

7. Розробити функціональну логічну схему пристрою.

8. Ознайомитись з довідковими даними заданих мікросхем та розробити електричну принципову схему ЦП (Додаток1).

9. Побудувати часові діаграми на входах-виходах тригерів.

10. Провести перевірку синтезу схеми в пакеті комп'ютерного моделювання.

Синтез схеми асинхронного лічильника

1. За часовими діаграмами (п.9 для синтезу синхронного лічильника) побудувати функціональну схему ЦП.

2. Розробити електричну принципову схему ЦП.

3. Провести перевірку синтезу схеми в пакеті комп'ютерного моделювання.

Виконання лабораторної роботи.

1. Встановити задані мікросхеми в панелі базового шасі.

2. Підключити виходи тригерів до світлодіодів, розміщених на монтажному полі.

3. З'єднати між собою тактові входи тригерів і підключити їх до виходу генератора тактових імпульсів, який вмонтовано в базове шасі.

4. Подати напругу на базове шасі. Подати на входи J та K сигнали, що відповідають логічній «1» (для ТТЛ-схем серій 155, 555, як відомо, можна залишити вхід «у повітрі») і при подачі тактових

імпульсів згідно таблиці переходів перевірити правильність переключення тригерів (перевірити «прямі» та «інверсні» виходи тригерів).

- 5.Послідовною фіксацією логічного «0» на входах J перевірити чи встановлюється сигнал логічного «0» на виходах тригерів.
- 6.Послідовною фіксацією логічного «0» на входах K перевірити чи встановлюється сигнал логічної «1» на виходах тригерів.
- 7.Після перевірки тригерів зібрати синтезовану схему синхронного лічильника.
- 8.Подачею поодиноких імпульсів перевірити відповідність роботи схеми заданому алгоритму.
- 9.Зібрати синтезовану схему асинхронного лічильника.
- 10.Подачею поодиноких імпульсів перевірити відповідність роботи схеми заданому алгоритму.

Зміст протоколу.

- ✓ мета роботи;
- ✓ постановка задачі;
- ✓ варіант завдання;
- ✓ діаграма переходів стану цифрового автомату;

Синтез синхронного лічильника

- ✓ таблиця переходів (станів) кожного тригера, що входить до складу пристрою, що проектується;
- ✓ сигнали, що подаються на входи J та K тригерів;
- ✓ функціональна схема роботи ЦП;
- ✓ електрична принципова схема роботи ЦП;
- ✓ результати комп'ютерного моделювання схеми;
- ✓ часові діаграми сигналів на входах та виходах тригерів;

Синтез асинхронного лічильника

- ✓ за часовими діаграмами сигналів на входах та виходах тригерів визначити сигнали тактування для кожного тригера;

- ✓ таблиця переходів (станів) кожного тригера, що входить до складу пристрою, що проектується;
- ✓ сигнали, що подаються на входи J та K тригерів;
- ✓ функціональна схема роботи ЦП;
- ✓ електрична принципова схема роботи ЦП;
- ✓ результати комп'ютерного моделювання схеми;
- ✓ висновки

Контрольні питання.

1. Описання роботи JK-тригера за допомогою таблиці станів.
2. Синхронні та асинхронні цифрові автомати. Переваги та недоліки.
3. Таблиця станів (переходів) автомата. Часові діаграми вхідних та вихідних сигналів.
4. RS-тригер. Принцип роботи.
5. D-тригер. Принцип роботи.

ЛАБОРАТОРНА РОБОТА №5

Дослідження арифметичних цифрових схем

Мета роботи.

Оволодіння навичками розробки електричної принципової схеми цифрового пристрою з використанням арифметико-логічного пристрою (АЛП) та елементів пам'яті (регістрів), його збирання і ладнання.

Постановка задачі.

Реалізувати у вигляді працюючого макету ЦП з заданими технічними характеристиками, використавши запропоновані мікросхеми регістра, АЛП та комбінаційної логіки.

Провести ладнання макету та підтвердити правильність його функціонування.

5.1. Короткі теоретичні відомості

АЛП - комбінаційний пристрій, що дозволяє реалізувати різні логічні та арифметичні функції P , аргументами яких є двійкові числа A і B .

Накопичувальний суматор - цифровий пристрій, на виходах якого формується сума послідовності багаторозрядних двійкових чисел. З кожним тактовим імпульсом сигнали з виходів суматорів записуються в регістрах і подаються для сумування з наступним числом. Отже, в регістрах буде формуватися значення накопичуваної суми.

Накопичувальний віднімач - цифровий пристрій, на виходах якого формується різниця послідовності багаторозрядних двійкових чисел, які подаються на його входи одне за одним (для виконання

операції віднімання – прямий код вхідного числа слід перевести в доповнюючий код).

Перетворення прямого коду в зворотній та доповнюючий коди.

Перетворення прямого коду в зворотній код здійснюється інверсією всіх розрядів, крім знакового, якщо число від'ємне і число залишається при перетворенні без зміни, якщо число додатне.

Примітка. Роль знаку двійкового числа виконує старший розряд цього числа: 0 – число додатне, 1 – число від'ємне.

Перетворення прямого коду в доповнюючий код здійснюється інверсією всіх розрядів, крім знакового, якщо число від'ємне і додавання одиниці молодшого розряду. Додатне число при перетворенні не змінюється.

Мікросхема АЛП. Принцип роботи.

В даній роботі використовується мікросхема АЛП К155ІПЗ (рис.5.1.1).

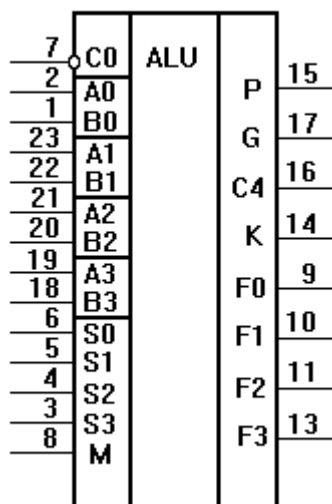


Рис. 5.1.1. Мікросхема К155ІПЗ.

Виводи цієї мікросхеми такі:

- 1 – інформаційний вхід молодшого розряду B0;
- 2 – інформаційний вхід молодшого розряду A0;
- 3,4,5,6 – входи "вибір функції";

- 7 – вхід "перенос" CD
- 8 – вхід "режим роботи" (M);
- 9 – вихід " утворення функції" F0);
- 10,11 – вихід " утворення функції" (F1, F2);
- 12 – загальний;
- 13 – вихід " утворення функції" (F3);
- 14 – вихід "порівняння" (K);
- 15 – вихід "розповсюдження переносу" (P);
- 16 – вихід "перенос" (C4);
- 17 – вихід "утворення переносу" (G);
- 18,19 – інформаційні входи старшого розряду (B3,A3);
- 20, 21 – інформаційні входи (B2,A2);
- 22,23 – інформаційні входи молодшого розряду (B1,A1);
- 24 - напруга живлення.

АЛП має входи операндів A і B, входи вибору операцій S3, S2,S1, S0, вхід переносу \overline{CD} і вхід M (Mode), сигнал якого визначає тип операції, що виконується (1 – логічна, 0 – арифметико-логічна).

При синтезі цифрового пристрою, що реалізує функцію, без за діяння входу \overline{CD} – на нього слід подати логічну 1 (або залишити «у повітрі», враховуючи особливість схем ТТЛ).

Результат операції визначається на виходах F, виходи G і H дають функції генерації та прозорості, що використовуються для організації паралельних переносів при нарощуванні розмірності АЛП.

Всі можливі комбінації функцій, які реалізує АЛП наведені в табл. 5.1.(+ - логічна операція АБО, плюс - арифметичне додавання, \oplus - сума за модулем 2):

Таблиця 5.1.1. Комбінації функцій, які реалізує АЛП.

	Значення вх. S_i				Логічні функції $M = 1$	Арифметико-логічні функції $M = 0$
0	0	0	0	0	\bar{A}	A плюс CD
1	0	0	0	1	$\overline{A+B}$	$A+B$ плюс CD
2	0	0	1	0	$\bar{A}B$	$A + \bar{B}$ плюс CD
3	0	0	1	1	0	1 плюс CD
4	0	1	0	0	\overline{AB}	A плюс $\bar{A}\bar{B}$ плюс CD
5	0	1	0	1	\bar{B}	$A+B$ плюс $\bar{A}\bar{B}$ плюс CD
6	0	1	1	0	$A \oplus B$	A плюс \bar{B} плюс CD
7	0	1	1	1	$A\bar{B}$	$\bar{A}\bar{B}$ плюс 1 плюс CD
8	1	0	0	0	$\bar{A} + B$	A плюс AB плюс CD
9	1	0	0	1	$\overline{A \oplus B}$	A плюс B плюс CD
10	1	0	1	0	B	$A + \bar{B}$ плюс AB плюс CD
11	1	0	1	1	AB	AB плюс 1 плюс CD
12	1	1	0	0	1	A плюс A плюс CD
13	1	1	0	1	$A + \bar{B}$	$A+B$ плюс A плюс CD
14	1	1	1	0	$A+B$	$A + \bar{B}$ плюс A плюс CD
15	1	1	1	1	A	A плюс 1 плюс CD

Універсальний регістр.

Для накопичування результату операції використовується універсальний регістр – мікросхема К155ІР1(рис. 5.1.2).

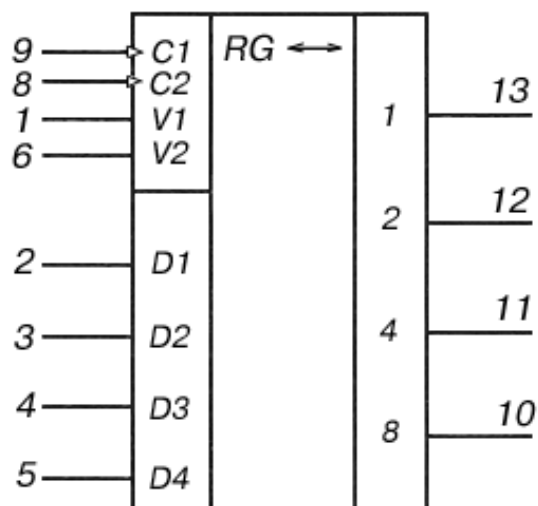


Рис. 5.1.2. Мікросхема К155ІР1.

Виводи цієї мікросхеми такі:

1 – інформаційний вхід VI; 2 – вхід першого розряду D1;

4 – вхід першого розряду D3;

6 –вхід вибору режиму V2;

8 – вхід синхронізації C2;

10 – вихід четвертого

розряду;

12 – вихід другого розряду;

14 – напруга живлення.

Внутрішня структура даного реєстру представлена на рис.5.1.3.

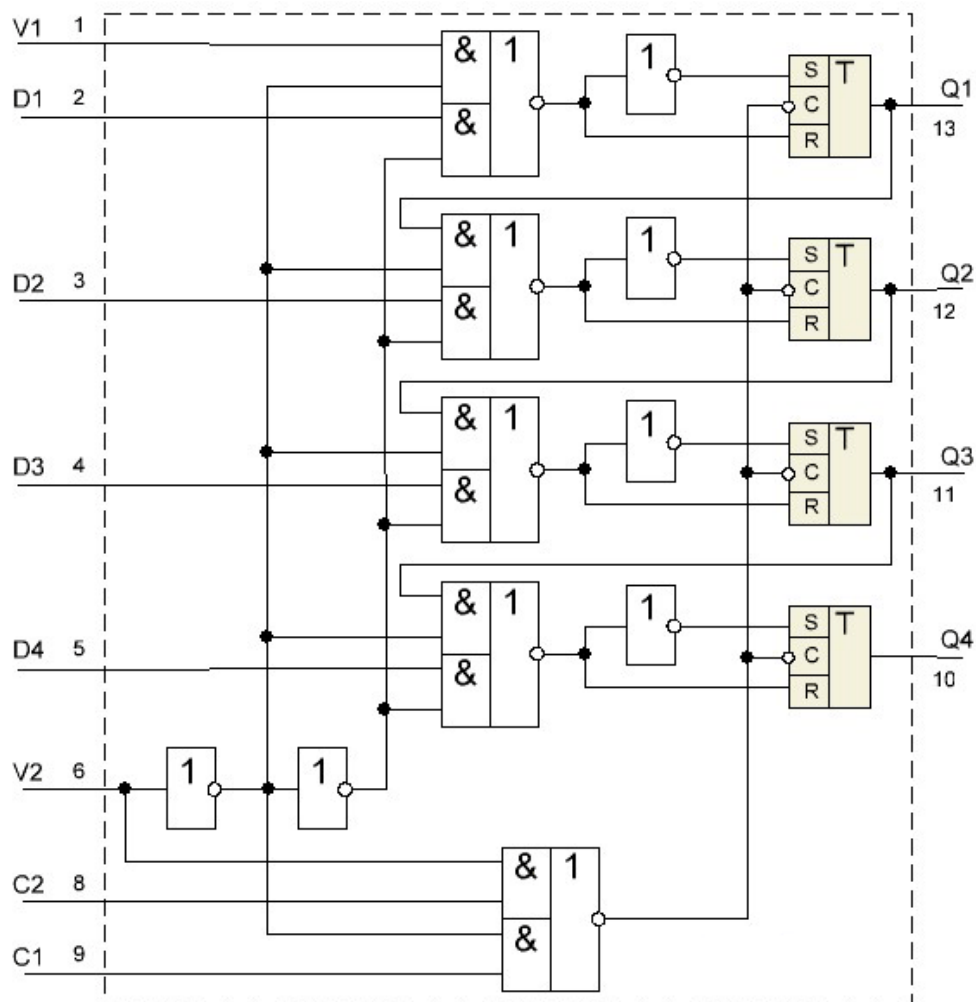


Рис.5.1.3. Внутрішня структура реєстру.

Мікросхема K155IP1 – чотирьохрозрядний регістр зсуву, що дозволяє виконувати послідовний та паралельний запис інформації в тригери регістра, послідовне та паралельне зчитування інформації, зсув інформації. Вхід С1 мікросхеми слугує для подачі позитивних тактових імпульсів, що зсувають інформацію, причому зсув

відбувається при спаданні імпульсів. Подаючи позитивний імпульс на вхід С2 при його спаданні, відбувається запис інформації в тригери регістра інформації зі входів D1 – D4. Лише при наявності логічної одиниці на керуючому вході V2 може відбуватися запис інформації зі входів D1 – D4 та зсув – при наявності логічного нуля. Вхід D0 використовується для послідовного запису, який відбувається в режимі зсуву.

Приклад реалізації ЦП на базі АЛП.

Розглянемо приклад реалізації схеми за допомогою АЛП.

Синтезувати схему ЦП для перевірки правильності прийнятого коду.

Нехай стоїть задача контролю роботи віддаленої системи (напр., супутника) по каналу зв'язку за допомогою послідовної передачі відомого коду. Якщо прийнятий код є правильним, то система працює вірно, якщо ж є будь-які відмінності в прийнятому коді – відбувся збій в роботі системи.

Нехай на вхід А мікросхеми К155ІПЗ подається чотирьохрозрядний відомий код (для порівняння), а на вхід В – також чотирьохрозрядний код, що імітує прийнятий від системи сигнал.

Для реалізації необхідної логічної функції подамо на вхід $M = 1$, а на входи $S \rightarrow 1001$, тобто виконується логічна функція $\overline{A \oplus B}$.

Дану функцію обрано, виходячи з таблиці істинності елементу логіки «виключного АБО» (\oplus):

Таблиця 5.1.2. Таблиця істинності «виключного АБО».

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

Видно, що при неспівпадінні бітів числа А та числа В на виході маємо значення логічної одиниці, після інверсії ($\overline{A \oplus B}$) – логічного нуля.

Для виведення остаточного результату використаємо мультиплексор–мікросхема К155КП1 (рис.5.1.4), що підключений до виходів АЛП.

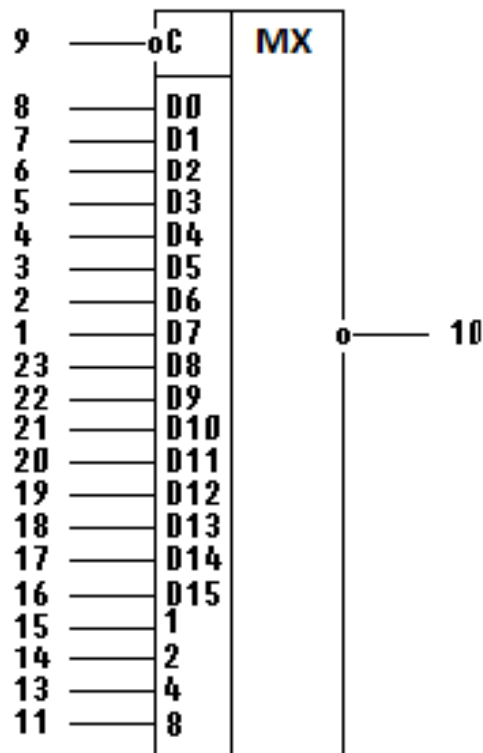


Рис. 5.1.4. Мікросхема К155КП1.

Входи 1 – 8 – інформаційні входи D7 – D0; 16 – 23 – інформаційні входи D15 – D8; 11,13,14,15 – адресні входи; 9 – вхід стропування та 10 – вихід мультиплексора.

Таблиця істинності для сигналів на входах та виходах мультиплексора має наступний вигляд (табл.5.1.3).

Таблиця 5.1.3. Таблиця істинності роботи мультиплексора.

Сигнали з виходу АЛП				Сигнал на виході Y	Сигнали на інф. вх. (з урахуванням інверсії на виході)
F3	F2	F1	F0		
0	0	0	0	0	D0=1
0	0	0	1	0	D1=1
0	0	1	0	0	D2=1
0	0	1	1	0	D3=1
0	1	0	0	0	D4=1
0	1	0	1	0	D5=1
0	1	1	0	0	D6=1
0	1	1	1	0	D7=1
1	0	0	0	0	D8=1
1	0	0	1	0	D9=1
1	0	1	0	0	D10=1
1	0	1	1	0	D11=1
1	1	0	0	0	D12=1
1	1	0	1	0	D13=1
1	1	1	0	0	D14=1
1	1	1	1	1	D15=0

Отже, лише у випадку, коли на виході АЛП $F3F2F1F0 \rightarrow 1111$, тобто при співпадінні всіх бітів чисел А і В маємо на виході схеми ЦП значення логічної одиниці, в інших випадках – якщо хоча б один з бітів чисел А і В не співпадають – отримаємо сигнал на виході рівний логічному нулю.

Електрична схема реалізованого ЦП.

На рис. 5.1.5 представлена електрична принципова схема цифрового пристрою перевірки правильності прийнятого коду на базі АЛП.

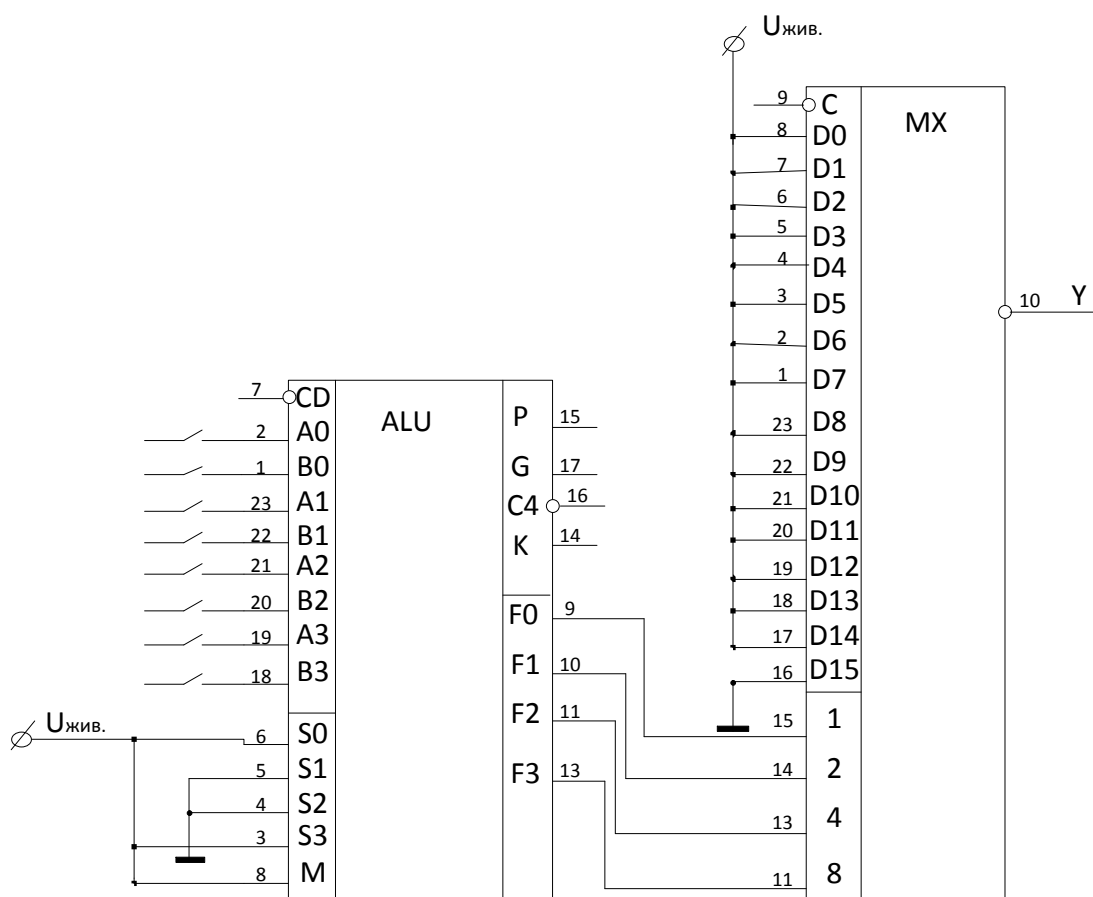


Рис.5.1.5. Електрична принципова схема ЦП.

5.2. Порядок виконання роботи

Варіанти завдань.

Реалізувати ЦП, який виконує алгоритм роботи заданий варіантом завдання. Варіанти завдань представлені в табл.5.2.1.

Таблиця 5.2.1. Варіанти завдань на виконання лабораторної роботи №5.

№ вар.	Алгоритм роботи ЦП
1; 6; 11; 16	Накопичувальний суматор
2; 7; 12; 17	Накопичувальний віднімач
3; 8; 13; 18	Перетворювач прямого коду зі знаком в доповнюючий
4; 9; 14; 19	Перетворювач прямого коду без знаку в доповнюючий
5; 10; 15; 20	Перетворювач прямого коду зі знаком в зворотній

Підготовка до виконання лабораторної роботи.

1. Розробити функціональну схему цифрового пристрою.
2. Ознайомитись з довідковими даними заданих мікросхем і розробити електричну принципову схему ЦП.

Виконання лабораторної роботи.

1. Зібрати макет та здійснити його налагодження.
2. Перевірити правильність роботи схеми.
3. Зробити висновки по завершенні лабораторної роботи та оформити звіт. Форму протоколу наведено в додатку 5.

Зміст протоколу.

- ✓ мета роботи;
- ✓ постановка задачі;
- ✓ варіант завдання;
- ✓ вибір за табл. 5.1.1. функцію, що буде реалізовуватись на АЛП;
- ✓ функціональна схема ЦП;
- ✓ електрична схема ЦП;
- ✓ висновки по роботі.

Контрольні питання.

1. Принцип роботи арифметико-логічного пристрою.
2. Перетворення прямого коду в зворотній зі знаком та без знаку.
3. Перетворення прямого коду в доповнюючий зі знаком та без знаку.
4. Принцип роботи універсального регістра.

СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

1. *Точки Р.Дж., Уидмер Н.С.* Цифровые системы. Теория и практика: Пер. с англ. – М.: Издательский дом "Вильямс", 2004. – 1024 с.
2. *Угрюмов Е.П.* Цифровая схемотехника. Учебное пособие для вузов. – 2-е изд. : БХВ-Петербург, 2004. – 800 с.
3. *Уилкинсон Б.* Основы проектирования цифровых схем.: Пер. с англ. – М.: Издательский дом "Вильямс", 2004. – 320 с.
4. *Зельдин Е.А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат, 1986. – 280 с.
5. *Хоровиц П., Хилл У.* Искусство схемотехники: в 2 томах. Пер. с англ. – М.: Мир, 1983. – Т.1. 598 с.
6. *Пухальский Г.И., Новосельцева Т.Я.* Проектирование дискретных устройств на интегральных микросхемах: Справочник – М.: Радио и связь, 1990. – 304с.
7. *Нефедов А.В.* Интегральные микросхемы и их зарубежные аналоги: Справочник. Том 2. – М.: РадиоСофт, 1998. – 640 с.
8. *Перельман Б.Л., Шевелев В.И.* Отечественные микросхемы и зарубежные аналоги. Справочник. "НТЦ Микротех", 1998. – 376 с.

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»

Радіотехнічний факультет
Кафедра радіоприймання та оброблення сигналів

ЗВІТ

з виконання лабораторної роботи №1

Вивчення особливостей роботи базових логічних елементів
по дисципліні Схемотехніка електронних апаратів

Роботу виконав
студент 3 курсу, групи _____

Київ 2015

Мета роботи.

Вивчення особливостей роботи та порівняльний аналіз базових логічних елементів різних серій.

Постановка задачі.

В середовищі комп'ютерного моделювання вивчити роботу базових логічних елементів. Зняти основні характеристики. Провести порівняльний аналіз.

Варіант завдання.

I Технологія виготовлення ЛЕ за варіантом

Електрична принципова схема базового ЛЕ. Перша комбінація вхідних аргументів.

I Технологія виготовлення ЛЕ за варіантом

Електрична принципова схема базового ЛЕ. Друга комбінація вхідних аргументів.

II Технологія виготовлення ЛЕ за варіантом

Електрична принципова схема базового ЛЕ. Перша комбінація вхідних аргументів.

II Технологія виготовлення ЛЕ за варіантом

Електрична принципова схема базового ЛЕ. Друга комбінація вхідних аргументів.

Результати моделювання роботи ЛЕ на комп'ютері за варіантом.

- моделювання роботи ЛЕ з високим рівнем напруги на виході

- моделювання роботи ЛЕ з низьким рівнем напруги на виході
- порогове значення напруг для переключення ЛЕ з одного логічного стану до іншого

Висновки по роботі (порівняння ЛЕ за різними технологіями виготовлення за швидкодією, завадостійкістю).

[illegible]

Контрольні питання:

1. Принцип роботи базового ЛЕ ТТЛ при різних значеннях вхідних напруг.
2. Принцип роботи базового ЛЕ ТТЛШ при різних значеннях вхідних напруг.
2. Принцип роботи базового ЛЕ на КМОП при різних значеннях вхідних напруг.
3. Сприймання ЛЕ різних технологій виготовлення непідключених входів.
4. Основні параметри роботи ЛЕ (швидкодія, завадостійкість, навантажувальна здатність).
5. Відмінність ТТЛ та ТТЛШ технологій виготовлення ЛЕ.

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»

Радіотехнічний факультет
Кафедра радіоприймання та оброблення сигналів

ЗВІТ

з виконання лабораторної роботи №2

**Спрощення логічних функцій та побудова цифрових
комбінаційних схем на базових логічних елементах**

по дисципліні Схемотехніка електронних апаратів

Роботу виконав

студент 3 курсу, групи _____

Київ 2015

Мета роботи.

Закріплення знань основних законів алгебри логіки. Оволодіння навичками розробки електричних принципових схем цифрових пристроїв (ЦП), їх збирання і налагодження.

Постановка задачі.

Реалізувати задану комбінаційну схему, використовуючи при цьому запропоновану мікросхему. Провести налагодження макету та підтвердити правильність його функціонування.

Варіант завдання.

Логічна функція (ЛФ).

Мінімізація ЛФ.

Перехід до єдиного базису І-НЕ.

Функціональна схема ЦП, що реалізує задану ЛФ.

Таблиця істинності синтезованого виразу.

для дворозрядного вхідного числа:

A	B	y
0	0	
0	1	
1	0	
1	1	

для трьохрозрядного вхідного числа:

A	B	C	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Електрична схема ЦП, що реалізовує дану ЛФ.

Змодельована схема ЦП на комп'ютері.

Таблиця істинності реалізованої схеми ЦП.

для дворозрядного вхідного числа:

A	B	y
0	0	
0	1	
1	0	
1	1	

для трьохрозрядного вхідного числа:

A	B	C	y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Порівняння таблиці істинності синтезованого виразу та реалізованої схеми, правильність роботи схеми.

Висновки по роботі.

1. Мета проведення мінімізації ЛФ.

2. Основні закони алгебри логіки, що використовуються для мінімізації.

3. Закони, за якими здійснюється перехід від одного базису до іншого.

4. Доцільність зведення ЛФ до одного базису.

5. Яким чином проводилась перевірка правильності роботи схеми.

Контрольні питання:

1. Основні закони алгебри логіки. Застосування.
2. Спрощення логічних виразів.
3. Теорема де Моргана. Її застосування.
4. Етапи проектування ЦП.

МІНІСТЕРСТВО ОСВІТИ І НАУКИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»
Радіотехнічний факультет
Кафедра радіоприймання та оброблення сигналів

ЗВІТ

з виконання лабораторної роботи №3

**Дослідження цифрових комбінаційних схем на базі
мультиплексора**

по дисципліні Схемотехніка електронних апаратів

Роботу виконав

студент 3 курсу, групи _____

Київ 2015

Мета роботи.

Оволодіння навичками розробки електричних принципових схем комбінаційної логіки на базі мультиплексора; їх збирання та налагодження.

Постановка задачі.

Реалізувати задані комбінаційні схеми на запропонованій мікросхемі. Підтвердити працездатність реалізованих комбінаційних схем.

Варіант I завдання

Таблиця істинності ЛФ

Таблиця істинності реалізації ЛФ на базі мультиплексора

Електрична принципова схема ЦП

Результати моделювання роботи схеми на комп'ютері

Варіант II завдання

Таблиця істинності реалізації схеми ЦП на базі мультимплексора (подати на адресні входи мультимплексора $A_2A_1A_0 \rightarrow X_4X_3X_2$)

Сигнали, що подаються на інформаційні входи

Електрична принципова схема ЦП за таблицею істинності з сигналами, що подаються на адресні входи $A_2A_1A_0 \rightarrow X_4X_3X_2$

Карта Карно або таблиця істинності для комбінації вхідних аргументів на адресні входи мультиплексора $A_2A_1A_0 \rightarrow X_2X_1X_0$ при реалізації схеми ЦП на базі мультиплексора

Сигнали, що подаються на інформаційні входи

Електрична принципова схема ЦП на базі мультиплексора з сигналами, що подаються на адресні входи $A_2A_1A_0 \rightarrow X_2X_1X_0$

Найбільш мінімізована схема для реалізації ЦП на базі мультиплексора (за попередніми варіантами). Перевірка роботи її в комп'ютерному середовищі моделювання.

Висновки по роботі (за I та II завданням)

Контрольні питання:

4. Принцип дії мультиплексора.
5. Побудова ЦП на базі мультиплексорів.
6. Мультиплексор як універсальний логічний пристрій.

МІНІСТЕРСТВО ОСВІТИ І НАУКИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»
Радіотехнічний факультет
Кафедра радіоприймання та оброблення сигналів

ЗВІТ

з виконання лабораторної роботи №4

**Дослідження цифрових послідовних схем (автомати з
пам'яттю)**

по дисципліні Схемотехніка електронних апаратів

Роботу виконав
студент 3 курсу, групи _____

Київ 2015

Мета роботи.

Оволодіння навичками розробки електричних принципових схем цифрових автоматів з пам'яттю (лічильника імпульсів – синхронного з паралельним перенесенням та асинхронного); їх збирання та налагодження.

Постановка задачі.

Реалізувати у вигляді працюючого макету ЦП з заданими технічними характеристиками, використавши запропоновані мікросхеми тригерів та комбінаційної логіки. Провести ладнання макету та підтвердити правильність його функціонування.

Варіант I завдання

Діаграма переходів станів цифрового автомату. Визначення необхідної для синтезу кількості тригерів

Таблиця переходів JK-тригера.

J	K	Q^t	Q^{t+1}
0	x	0	0
1	x	0	1
x	0	1	1
x	1	1	0

Синтез синхронного цифрового автомату

Таблиця переходів (станів) кожного тригера, що входить до складу пристрою, що проектується – синхронного цифрового автомату.

$(Q_2Q_1Q_0)^t$	$(Q_2Q_1Q_0)^{t+1}$	J_2K_2	J_1K_1	J_0K_0

Визначення сигналів на входах кожного тригера (при необхідності переведення до єдиного базису І-НЕ) в схемі синхронного цифрового автомату

Електрична принципова схема синхронного цифрового автомату

Результати перевірки в середовищі комп'ютерного моделювання схеми синхронного цифрового автомату

Часові діаграми сигналів на входах та виходах синхронного цифрового автомату

Синтез асинхронного цифрового автомату

Визначення сигналів тактування для кожного тригера асинхронного цифрового автомату за часовими діаграмами сигналів на виходах тригерів

Таблиця переходів (станів) кожного тригера, що входить до складу пристрою, що проектується – асинхронного цифрового автомату.

$(Q_2Q_1Q_0)^t$	$(Q_2Q_1Q_0)^{t+1}$	J_2K_2	J_1K_1	J_0K_0

Визначення сигналів на входах кожного тригера (при необхідності переведення до єдиного базису І-НЕ) в схемі асинхронного цифрового автомату

Електрична принципова схема асинхронного цифрового автомату

Результати перевірки в середовищі комп'ютерного моделювання схеми асинхронного цифрового автомату

Висновки по роботі

Контрольні питання:

1. Описання роботи JK-тригера за допомогою таблиці станів.
2. Синхронні та асинхронні цифрові автомати. Переваги та недоліки.
3. Таблиця станів (переходів) автомата. Часові діаграми вхідних та вихідних сигналів.
4. RS-тригер. Принцип роботи.
5. D-тригер. Принцип роботи.

МІНІСТЕРСТВО ОСВІТИ І НАУКИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»
Радіотехнічний факультет
Кафедра радіоприймання та оброблення сигналів

ЗВІТ

з виконання лабораторної роботи №5

Дослідження арифметичних цифрових схем
по дисципліні Схемотехніка електронних апаратів

Роботу виконав
студент 3 курсу, групи _____

Київ 2013

Мета роботи.

Оволодіння навичками розробки електричної принципової схеми цифрового пристрою з використанням арифметико-логічного пристрою (АЛП) та елементів пам'яті (регістрів), його збирання і ладнання.

Постановка задачі.

Реалізувати у вигляді працюючого макету ЦП з заданими технічними характеристиками, використавши запропоновані мікросхеми регістра, АЛП та комбінаційної логіки.

Провести ладнання макету та підтвердити правильність його функціонування.

I завдання

Реалізувати схему ЦП на базі АЛП за варіантом завдання..

Для виконання роботи необхідно використати (універсальний регістр – мікросхема К155ИР1), АЛП – мікросхема К155ИПЗ.

Визначити комбінацію сигналів, що подається на входи АЛП (S_i) та сигнал M , що задає тип функції (логічна чи арифметична).

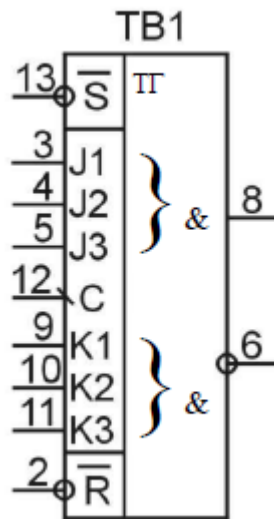
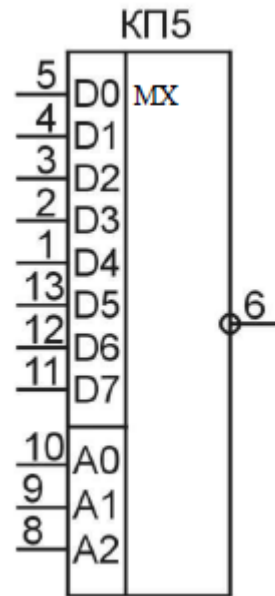
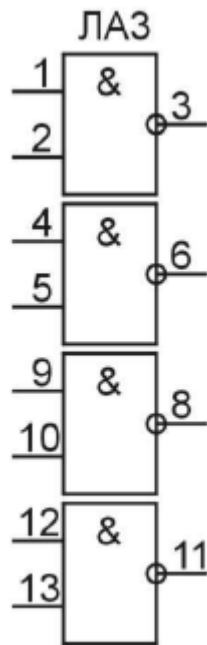
Електрична принципова схема пристрою

Висновки по роботі

Контрольні питання:

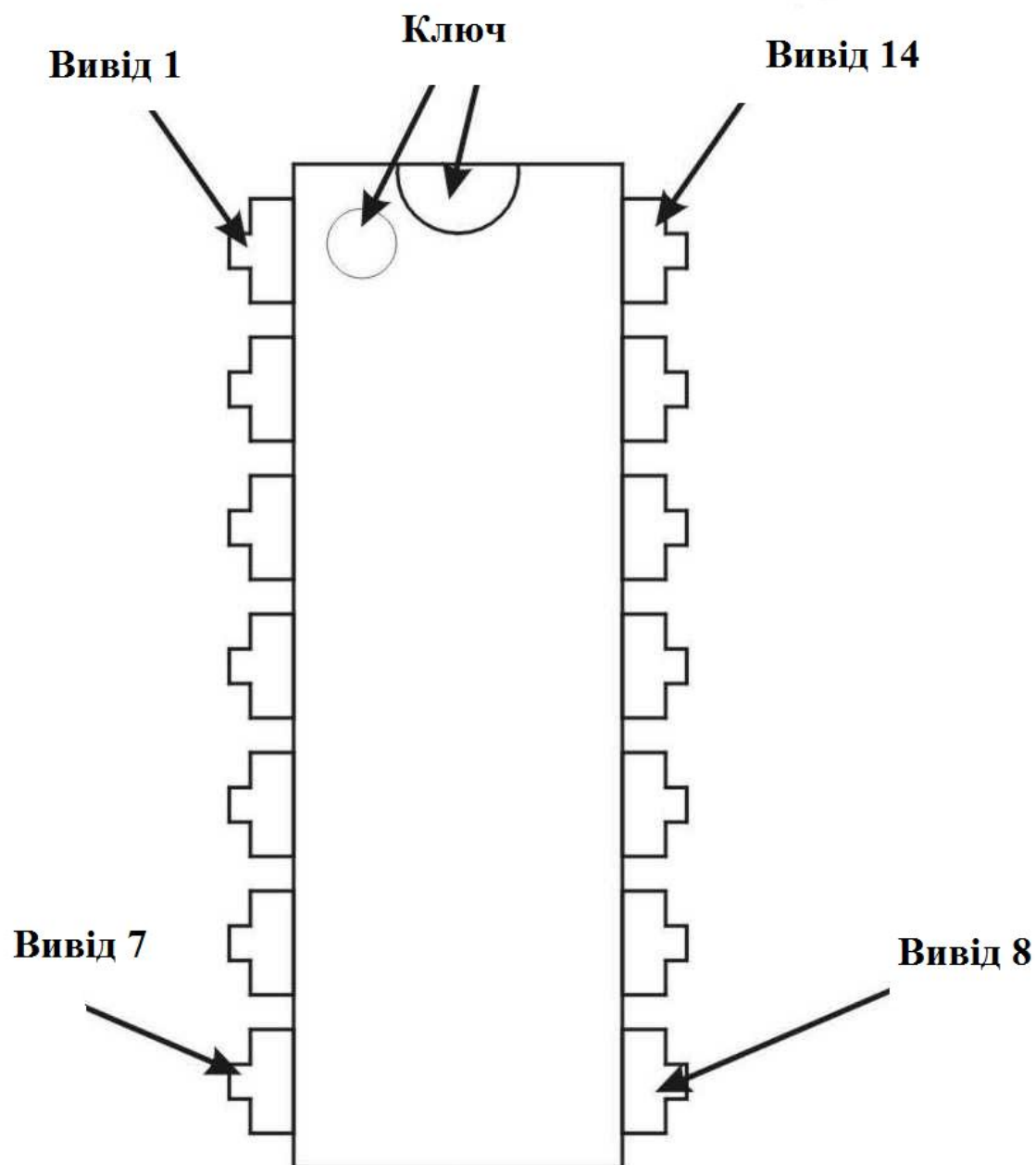
1. Принцип роботи арифметико-логічного пристрою.
2. Перетворення прямого коду в зворотній зі знаком та без знаку.
3. Перетворення прямого коду в доповнюючий зі знаком та без знаку.

НЕОБХІДНІ ДОВІДКОВІ ДАНІ З МІКРОСХЕМ



Мікросхеми серій K155, K555, K1533

РОЗМІЩЕННЯ ВИВОДІВ МІКРОСХЕМ ТА ЇХ НУМЕРАЦІЯ



Вигляд на корпус зверху