

Міністерство освіти і науки України
Національний технічний університет України
«Київський політехнічний інститут»

**Проектування цифрових пристроїв на
програмованих логічних інтегральних схемах**

Методичні вказівки
до виконання лабораторних робіт
для студентів спеціальностей
«Радіотехніка»,
«Апаратура радіозв'язку, радіомовлення та телебачення»

Затверджено Методичною радою радіотехнічного факультету НТУУ «КПІ»

Київ
НТУУ «КПІ»
2015

Проектування цифрових пристроїв на програмованих логічних інтегральних схемах :
Метод. вказівки до викон. лаборатор. робіт для студ. спец. «Радіотехніка», «Апаратура
радіозв'язку, радіомовлення і телебачення» / Уклад.: С.Б. Могильний, В.С. Мосійчук –
К. : НТУУ «КПІ», 2015.- 61 с.

*Гриф надано Методичною радою РТФ НТУУ «КПІ»
(Протокол № _____ від _____)*

Н а в ч а л ь н е в и д а н н я

**Проектування цифрових пристроїв на
програмованих логічних інтегральних схемах**

Методичні вказівки
до виконання лабораторних робіт
для студентів спеціальностей
«Радіотехніка» ,
«Апаратура радіозв'язку, радіомовлення і телебачення»

Укладачі: *Могильний Сергій Борисович, канд. техн. наук, доцент*
Мосійчук Віталій Сергійович, канд. техн. наук, доцент

Відповідальний
редактор Р.В. Антипенко, канд. техн. наук, доцент

Рецензент Б.О. Коцержинський, д-р техн. наук, професор

За редакцією укладачів

ЗМІСТ

ВСТУП	4
МЕТА ТА ОСНОВНІ ЗАВДАННЯ ЛАБОРАТОРНИХ РОБІТ	4
ПРАВИЛА ТЕХНІКИ БЕЗПЕКИ ПРИ ВИКОНАННІ ЛАБОРАТОРНИХ РОБІТ	5
ОПИС ОБЛАДНАННЯ, ЩО ВИКОРИСТОВУЄТЬСЯ ПІД ЧАС ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ	5
ОПИС ЕЛЕМЕНТІВ МАКЕТУ	7
ЛАБОРАТОРНА РОБОТА № 1	15
ЛАБОРАТОРНА РОБОТА № 2	23
ЛАБОРАТОРНА РОБОТА № 3	32
ЛАБОРАТОРНА РОБОТА № 4	43
СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ	52
ДОДАТКИ	53

ВСТУП

Методичні вказівки до виконання лабораторних робіт з дисциплін «Проектування цифрових пристроїв на ПЛІС» призначені для студентів радіотехнічного факультету НТУУ «КПІ» очної та заочної форм навчання.

Методичні вказівки містять

- опис макету для дослідження цифрових пристроїв на ПЛІС;
- конспективне викладення теоретичного матеріалу, який має бути засвоєним для успішного виконання робіт (наводиться безпосередньо при описі кожної лабораторної роботи);
- навчальні приклади.
- індивідуальні завдання і порядок виконання лабораторних робіт.

МЕТА ТА ОСНОВНІ ЗАВДАННЯ ЛАБОРАТОРНИХ РОБІТ

Мета лабораторних робіт – ознайомлення студентів з сучасними методами розробки та засвоєння типового робочого процесу у разі проектування цифрових пристроїв на програмованих логічних інтегральних схемах. Зокрема, це створення проектів, опис модулів, їх тестування і ладнання, конфігурація ПЛІС безпосередньо на макеті.

Порядок оформлення та зміст звітів, що мають складатися студентами за результатами виконання лабораторних робіт вказано при описі порядку виконання кожної лабораторної роботи.

Для успішного виконання лабораторних робіт необхідно засвоєння студентом відповідного теоретичного матеріалу. Основні теоретичні відомості, необхідні для виконання лабораторної роботи, наведені у відповідних розділах методичних вказівок та доповнені навчальними прикладами та контрольними запитаннями з посиланнями на джерела відповідної інформації, що вказуються при описі кожної лабораторної роботи (узагальнений перелік рекомендованої літератури наведено у відповідному розділі в кінці методичних вказівок).

В додатках наведено порядок створення проекту в середовищі автоматизованого проектування та ладнання Quartus II та ModelSIM.

ПРАВИЛА ТЕХНІКИ БЕЗПЕКИ ПРИ ВИКОНАННІ ЛАБОРАТОРНИХ РОБІТ

В учбовій лабораторії при виконанні лабораторних робіт використовується стандартна комп'ютерна техніка, яка відповідає чинним вимогам з техніки безпеки та промислової санітарії. Але наявність високої (220 В) напруги на розподільних електрощитах обумовлює виконання з боку студентів певних правил, з метою запобігання нещасних випадків, надання шкоди здоров'ю (як власному так і оточуючих).

1. Забороняється студентам самостійно виконувати будь-які вмикання на розподільних електрощитах.
2. В лабораторії в процесі роботи мають постійно знаходитись не менше двох осіб.
3. Забороняється студентам виконувати будь-які ремонтні роботи елементів електропроводки (вилки, розетки).
4. Забороняється перебування в лабораторії у верхньому одязі, класти верхній одяг на стільці, столи.
5. Робоче місце в процесі виконання робіт має бути організоване - вільне від сторонніх предметів (сумок, папок, сторонніх книг).

ОПИС ОБЛАДНАННЯ, ЩО ВИКОРИСТОВУЄТЬСЯ ПІД ЧАС ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ

Практична реалізація навчальних прикладів та індивідуальних завдань лабораторних робіт здійснюється на спеціалізованому *макеті*. Макет виконаний у вигляді друкованої плати, на якій забезпечується максимальна універсальність застосування ПЛІС в радіоелектронних пристроях. Зокрема на макеті змонтовано периферійні пристрої індикації кнопок вводу, а також АЦП та ЦАП. Загальний вигляд макету наведено на рис. В.1. Структура макета приведена на рис. В.2

Макет для дослідження цифрових пристроїв на ПЛІС

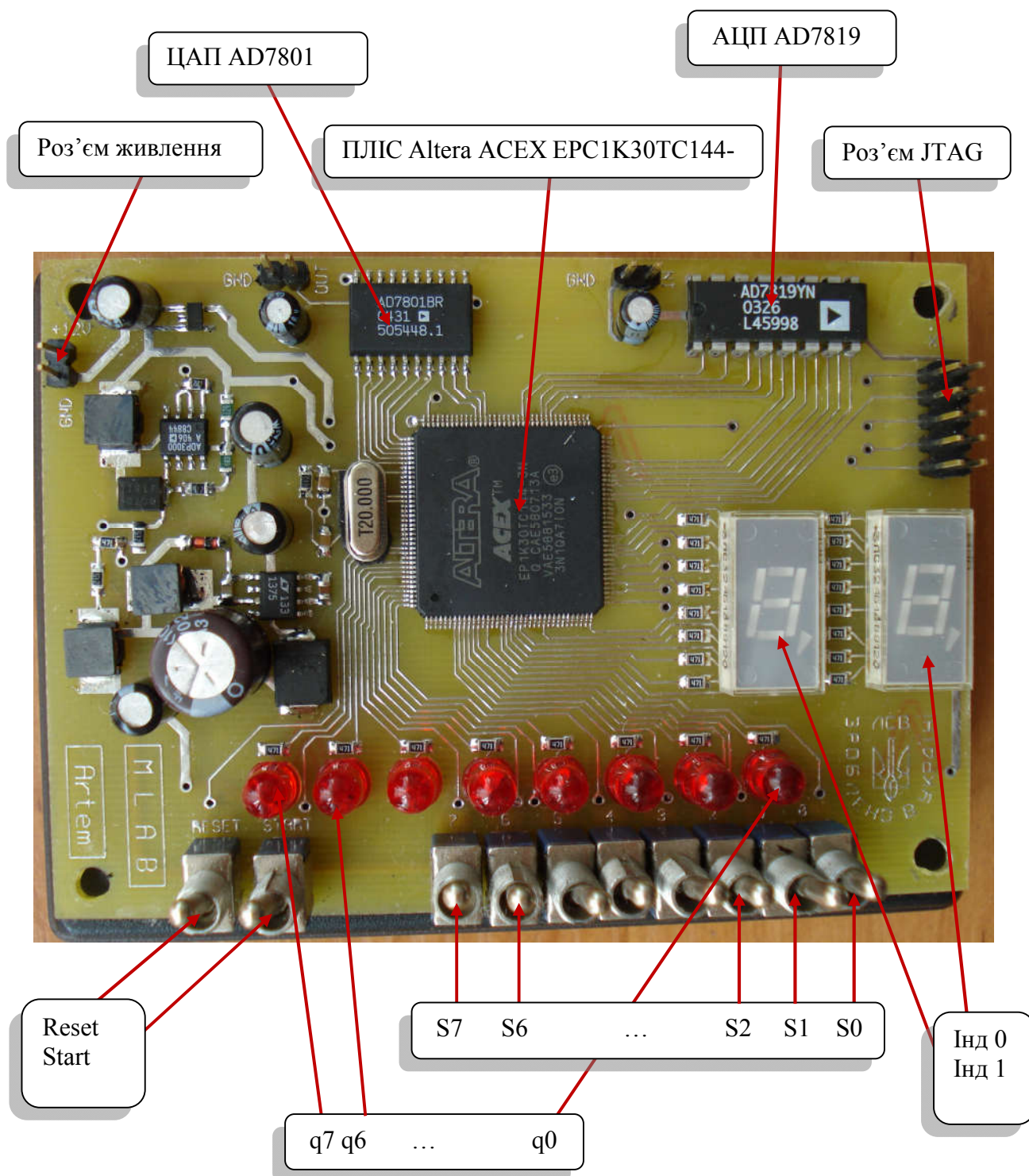


Рис. В.1 – Зовнішній вигляд макету

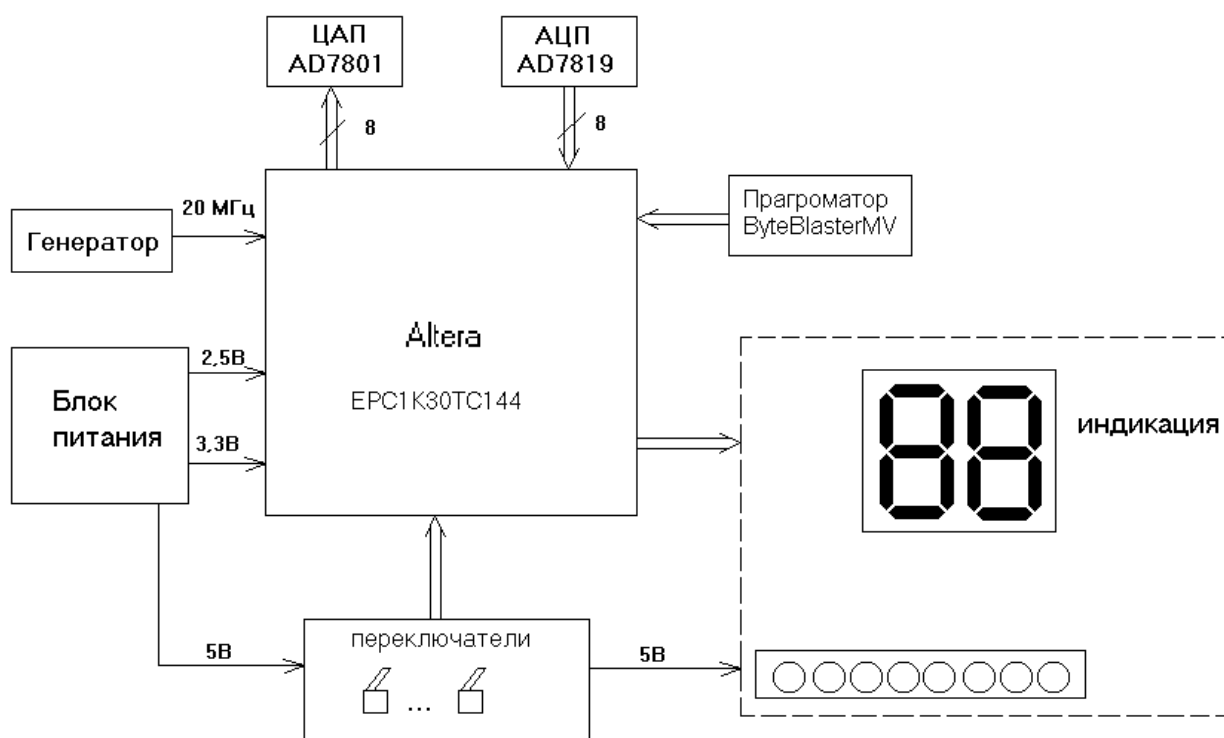


Рис. В.2 – Структурна схема макету

Структура макету:

- EPC1K30TC144-3 ПЛИС фірми ALTERA, сімейства ACEX1;
- блок живлення з вихідними напругами 2.5В, 3.3В, 5В;
- кварцовий генератор 20 МГц ;
- AD7819 АЦП з паралельним 8-ми розрядним інтерфейсом;
- AD7801 ЦАП з паралельним 8-ми розрядним інтерфейсом;
- індикація (2 семи сегментних індикатори, 8 світлодіодів);
- пристрої вводу інформації (10 двохпозиційних перемикачів);.

ОПИС ЭЛЕМЕНТОВ МАКЕТУ

ПЛИС EPC1K30TC144-3. Пристрої сімейства ACEX представляють собою недорогу і швидкодіючу архітектуру. Основні відомості EPC1K30TC144-3:

- логическая емкость эквивалентных вентилях – 30000;
- максимальное число системных элементов – 119000;
- число логических элементов – 1728;
- число логических блоков – 6;

максимальний об'єм ОЗП (біт) – 24576;

кількість виводів вводу/виводу – 102 (перелік виводів наведено у додатку А).

В основі архітектури лежать логічні блоки, що містять 8 логічних елементів (ЛЕ) і локальну матрицю з'єднань (рис. В.3). Глобальна матриця з'єднань (ГМС) розділена на рядки і стовпці, має безперервну структуру (Fast Track Interconnect). Посередині рядка розташовуються вбудовані блоки пам'яті. Також, у ПЛІС наявні глобальні сигнали керування, синхронізації і керування портами вводу / виводу.

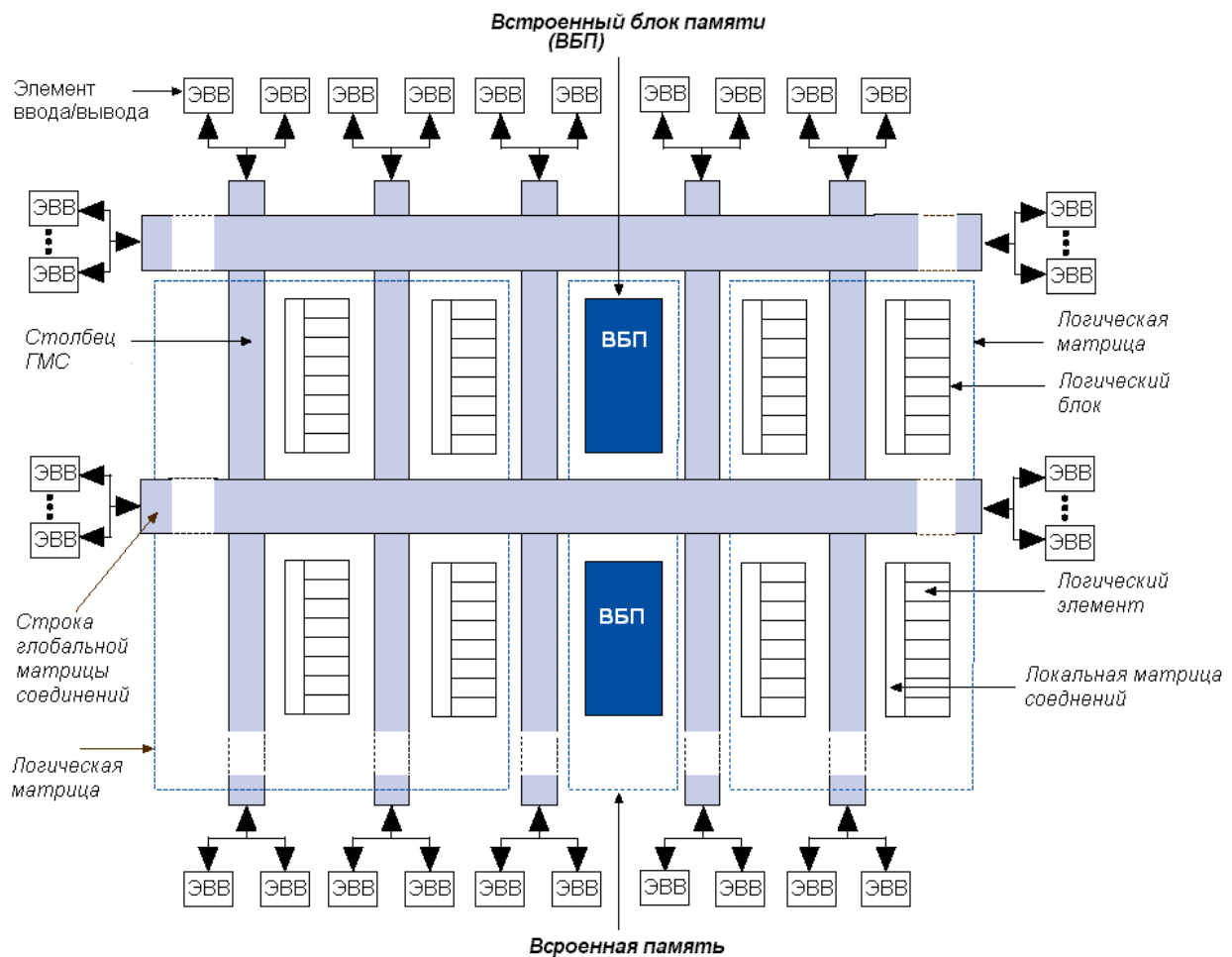


Рис. В.3 – Структурна схема ПЛІС

Вбудований блок пам'яті (ВБП) (рис. В.3) являє собою оперативний запам'ятовуючий пристрій (ОЗП) ємністю 4096 біт і складається з локальної

матриці з'єднань, власне модуля пам'яті, синхронних буферних регістрів, а також програмованих мультиплексорів.

Сигнали на вхід локальної матриці з'єднань (ЛМС) ВБП надходять з рядка ГМС. Тактові і керуючі сигнали надходять з глобальною шини керуючих сигналів. Вихід ВБП може бути зкомутований як на рядок, так і на стовпець ГМС.

Наявність синхронних буферних регістрів і програмованих мультиплексорів дозволяє конфігурувати ВБП як накопичувач (ЗП) з організацією пам'яті 256x16, 512x8, 1024x4, 2048x2, 4096x1.

Наявність ВБП дає можливість табличної реалізації таких елементів пристроїв ЦОС, як перемножувачів, арифметико-логічних пристроїв (АЛП), суматорів і т.д. з швидкістю до 50 МГц.

Табл. В.1 – Продуктивність EPC1K30TC144-3

Модулі, що можуть бути реалізовані на ПЛІС	Ресурс ПЛІС		Продуктивність		
	ЛЕ	СБП	Градація швидкодії		
			-1	-2	-3
16- розрядний лічильник з завантаженням	16	0	200 МГц	188 МГц	128 МГц
16- розрядний накопичуючий суматор	16	0	200 МГц	188 МГц	128 МГц
Мультиплексор 32 в 1	10	0	3.2нс	4.3 нс	5.5нс
256x16 ОЗП (швидкість читання)	0	1	212 МГц	181 МГц	131 МГц
256x16 ОЗП (швидкість запису)	0	1	142 МГц	128 МГц	94МГц

Конфігурація ПЛІС EPC1K30TC144-3 виконуються за допомогою програматора ByteBlasterMV або USBBlaster у режимі Passive Serial.

Блок живлення. На макеті формуються напруги 2.5 і 3.3 В. Внаслідок цього інтерфейси між ПЛІС та периферійними пристроями не потребують додаткових мікросхем та кіл для узгодження рівнів сигналів 2.5, 3.3 і 5 В.

Генератор тактового сигналу. Генератор тактових імпульсів реалізований за допомогою зовнішнього високо стабільного кварцу з частотою 20МГц. Кварц підключений до виводів ПЛІС 120 та 121, як це показано на рис. В.4.

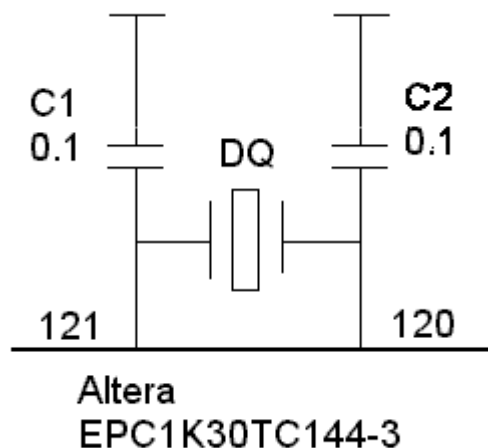


Рис. В.4 – Схема підключення кварцу до ПЛІС

Для формування тактових імпульсів у ПЛІС виводи, до яких приєднано кварц, слід сконфігурувати, так як показано на рис. В.5. Різниця в тому, який з них вхід, а який вихід немає.

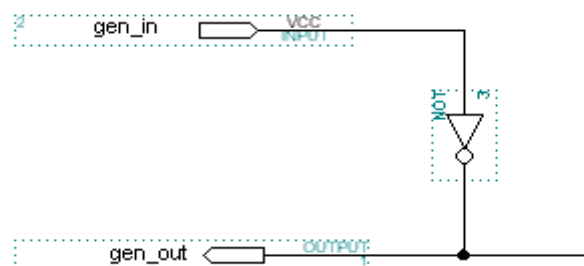
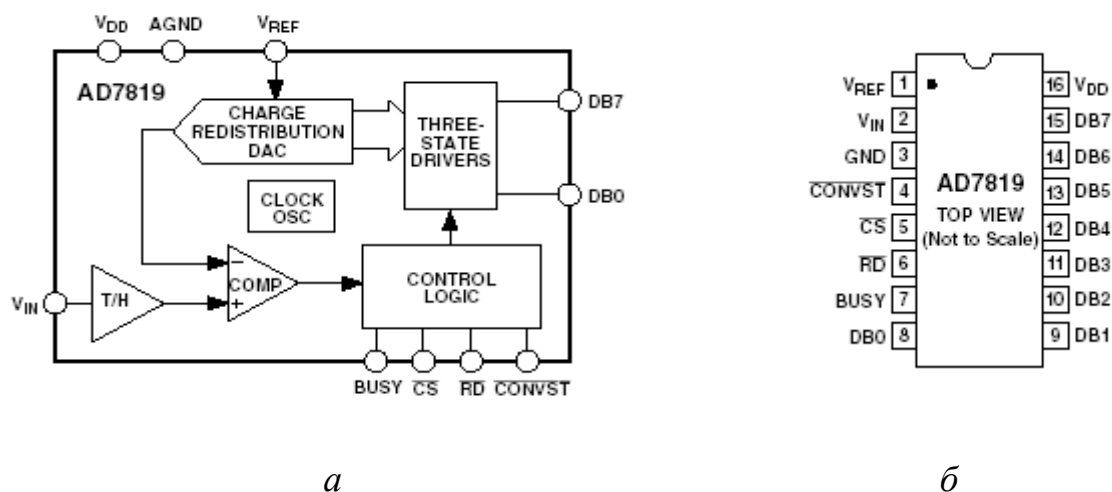


Рис. В.5 – Конфігурація тактового генератора у ПЛІС

AD7819 8-ми розрядний АЦП. AD7819 є швидкодіючим 8-ми розрядним аналогово-цифровим перетворювачем з максимальною продуктивністю 200

тис. перетворень в секунду. Має сумісний з процесорами паралельний інтерфейс.

Функциональная блок диаграмма (рис В.6).



а) функціональна схема;

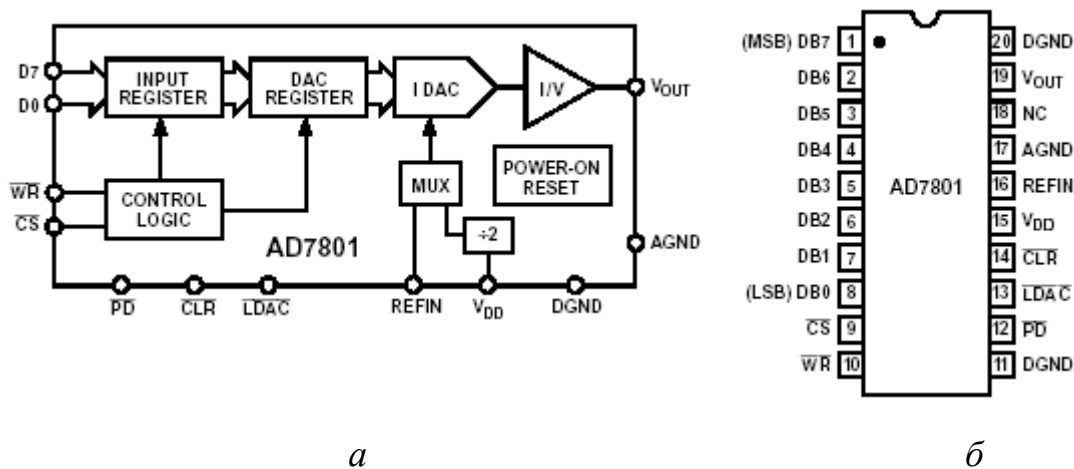
б) позначення виводів мікросхеми;

Рис. В.6 – Аналогово-цифровий перетворювач AD7801

Табл. В.2 – Опис виводів мікросхеми АЦП

№ виводу	Позначення	Опис
1	V_{REF}	Опорна напруга, може приймати значення від 1.2 В до V_{DD}
2	V_{IN}	Аналоговий вхід
3	GND	Аналогова і цифрова земля
4	#CONVST	Сигнал запуску перетворення
5	#CS	Дозвіл роботи з активним низьким рівнем (Chip Select)
6	#RD	Сигнал зчитування даних
7	BUSY	Сигнал зайнятості АЦП.
8-15	DB0-DB7	Шина даних.
16	V_{DD}	Вхід живлення. Напруга живлення 2.7 – 5.5 В

AD7801 8-ми розрядний ЦАП. AD7801 є цифро-аналоговим перетворювачем, що має сумісний з процесорами, паралельний інтерфейс. Функціональна схема та позначення виводів наведені на рис.В.7 та табл.В.Х.



а

б

а) функціональна схема;

б) позначення виводів мікросхеми;

Рис. В.7 – Цифро-аналоговий перетворювач AD7801

Таблиця 6.4 – Опис виводів мікросхеми

№ вив.	Позначення	Опис
1-8	D7-D0	8 бит входных данных, загружаются во входной регистр под контролем #CS и #WR
9	#CS	Дозвіл роботи з активним низьким рівнем (Chip Select)
10	#WR	Вхід сигналу записи з активним низьким рівнем
11	DGND	Цифрова земля
12	#PD	Активация режиму низького споживання з активним низьким рівнем (Power Down). На макеті не використовується
13	#LDAC	Сигнал завантаження даних в ЦАП (Load DAC)
14	#CLR	Вхід сигналу асинхронного скидання з активним низьким рівнем
15	V _{DD}	Вхід живлення. Напряга живлення 3.3 В
16	REFIN	Опорна напруга
17	AGND	Аналогова земля
18	NC	Не використовується
19	V _{OUT}	Аналоговий вихід
20	DGND	Цифрова земля

Індикація. Світлодіоди і 7-ми сегментні індикатори підключені за схемою з “спільним анодом”. Тому для того, що світло діоди світилися на порти керування слід подавати низький рівень.

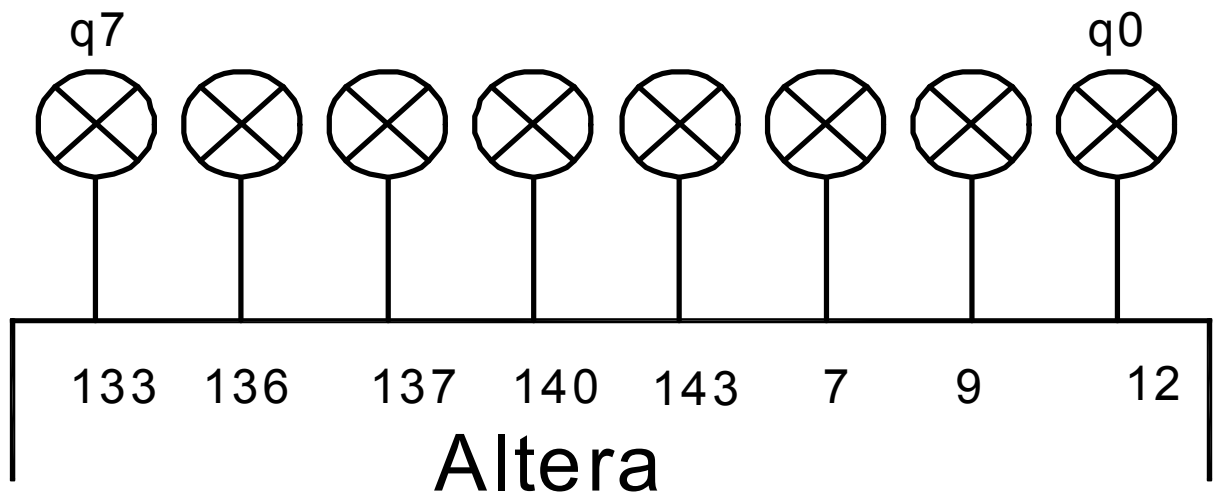


Рис. В.8 – Індикатори (Інд0 .. Інд7), схема приєднання світлодіодів до ПЛІС

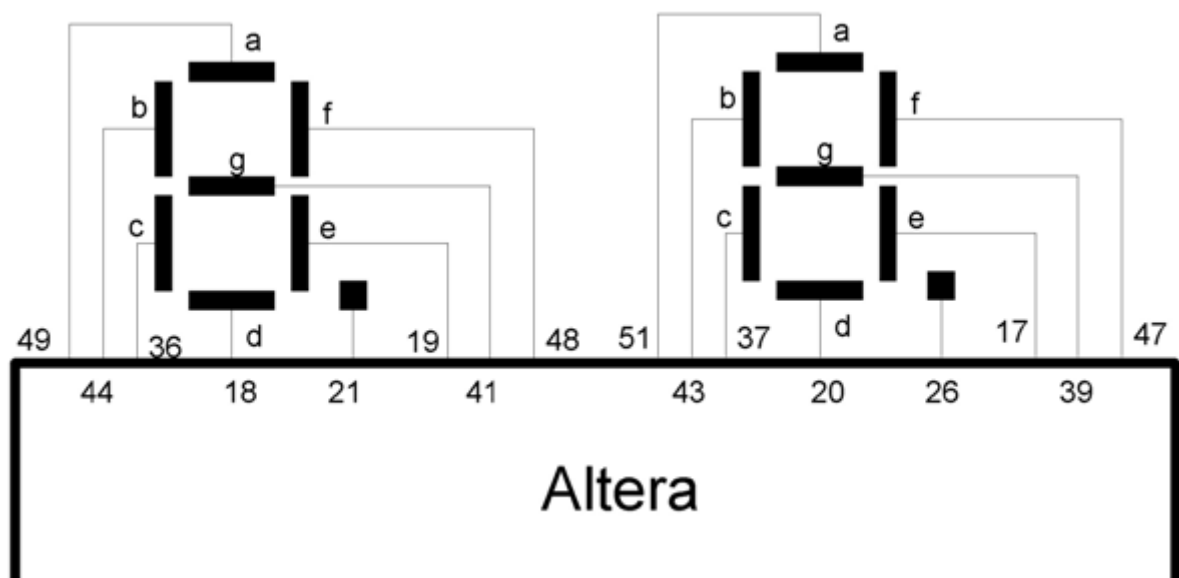


Рис. В.9 – Схема приєднання семисегментних індикаторів до ПЛІС

Пристрої вводу інформації представлені 10-ма двохпозиційними перемикачами, що приєднані



Рис. В.10 – Номери виводів ПЛІС, що приєднані до двохпозиційних кнопок

ЛАБОРАТОРНА РОБОТА № 1

ОПИС ТА ЛАДНАННЯ ЦИФРОВИХ ПРИСТРОЇВ

КОМБІНАЦІЙНОГО ТИПУ

1.1 Мета роботи

Ознайомитись з середовищем розроблення та тестування цифрових пристроїв на ПЛІС Quartus II та ModelSIM, отримати практичні навички у створенні проектів, опису моделей цифрових пристроїв на Verilog, їх тестування та перевірки на ПЛІС фірми Altera.

1.2 Завдання

Необхідно описати моделі простих цифрових пристроїв комбінаційного типу на мові Verilog, створити модуль тестування та перевірити функціональну коректність моделі безпосередньо на ПЛІС.

Процес виконання завдання можна розділити на такі етапи:

- 1) створення нового проекту в САПР Quartus (додаток А);
- 2) опис моделі ЦП комбінаційного типу на Verilog відповідно до індивідуального завдання;
- 3) створення модуля тестування (TestBench) для формування стимулів та автоматичної перевірки очікуваних сигналів на виходах в САПР ModelSIM (додаток Б);
- 4) призначення портів розробленого модуля ЦП до виводів ПЛІС відповідно до схем, що наведені на рис. В. 8 – В.10;
- 5) конфігурування ПЛІС та перевірка функціональної коректності моделі на макеті.

1.3 Індивідуальне завдання

Для індивідуальної роботи пропонуються варіанти комбінаційних пристроїв, котрі слід реалізувати у вигляді опису на Verilog, і які нескладно перевірити на макеті. Варіант задається викладачем відповідно до табл. 1.1.

Таблиця 1.1. – Приклади варіантів завдань

№	Завдання	№	Завдання
1	Мультиплексор 4:1	7	Мультиплексор 8:1
2	Демультимплексор 1:4	8	Демультимплексор 1:8
3	Шифратор 4:2	9	Шифратор 8:3
4	Дешифратор 2:4	10	Дешифратор 3:8
5	Дешифратор на семисегментний інд.	11	Перетворювач в код Грея
6	Суматор 3 розр з вхідним переносом	12	Перетворювач в код Джонсона

1.4 Методичні вказівки

Далі наведено приклади опису моделей ЦП комбінаційного типу на Verilog

1.4.1 Приклади опису моделей комбінаційних пристроїв

Для опису мультиплексорів або цифрових пристроїв на їх основі зручно використовувати умовне присвоєння (*conditional assignment*). Загальний синтаксис такого присвоєння наступний:

assign *y* = *condition* ? *exp1* : *exp2*,

тобто якщо умова *condition* виконується, то *y* = *exp1*, інакше *y* = *exp2*

Приклад 1. Описати на Verilog мультиплексор чотирьохрозрядних шин 2:1

```

module mux2 (d0, d1, sel, y);
  input [3:0] d0, d1;
  input sel;
  output [3:0] y;
  assign y = sel ? d1 : d0;
endmodule

```

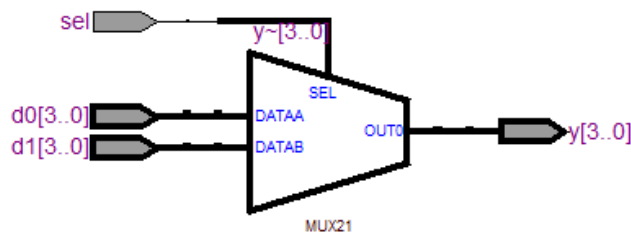


Рис. 1.1 – Мультиплексор шин

Приклад 2 Описати на Verilog мультиплексор 4:1

```
module mux41
(D0,D1,D2,D3,S0,S1,Q) ;
input D0, D1, D2, D3;
input S0, S1;
output Q ;
assign Q = S1?(S0?D3:D2)
        : (S0?D1:D0);
endmodule
```

На рисунку приведена синтезована схема мультиплексора на два адресних входи.

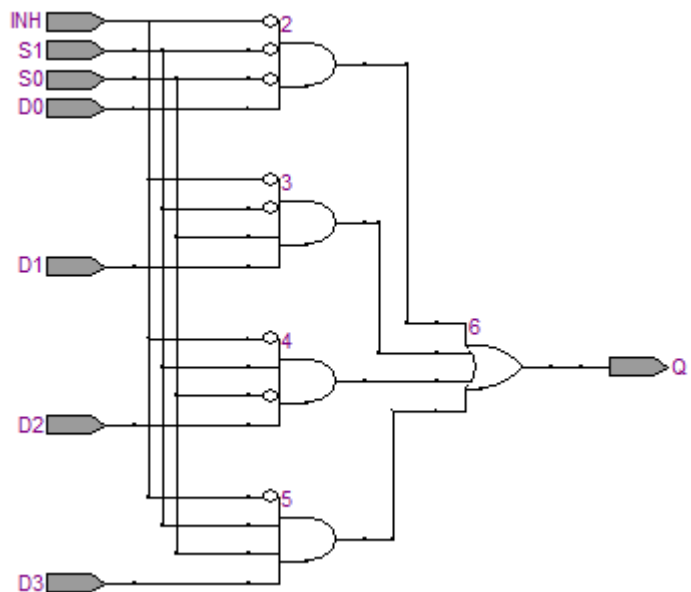


Рис. 1.2 – Мультиплексор 4:1

Приклад 3. Описати на Verilog мультиплексор 4:1 з сигналом дозволу за допомогою процедурного блоку **always**

```
module mux41 (out, in_3, in_2, in_1, in_0, sel, ena);
output out;
input in_3, in_2, in_1, in_0;
input [1:0] sel;
input ena;
reg out;
always @ (in_3 or in_2 or in_1 or in_0 or sel or ena)
if(ena) out = 0;
else begin
case (sel)
0: out = in_0;
1: out = in_1;
2: out = in_2;
3: out = in_3;
endcase
end
endmodule
```

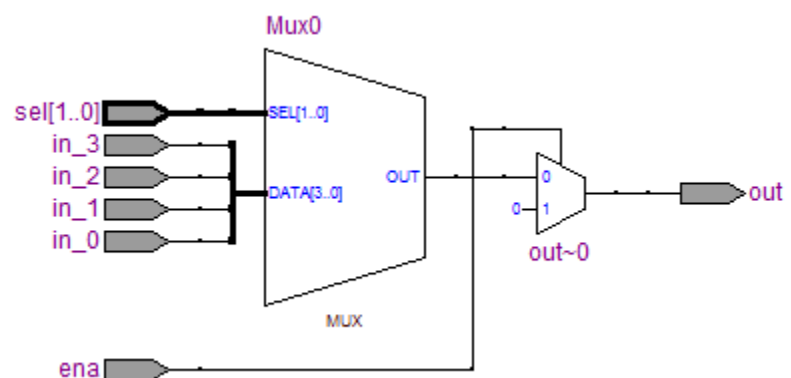


Рис. 1.3 – Мультиплексор 4:1 з дозволом

Для опису мультиплексора на 4 інформаційні входи використано конструкцію **case**. У разі її застосування слід описувати всі можливі комбінації варіантів, інакше під час синтезу у комбінаційну схему буде введений елемент пам'яті (Latch). Іншим варіант – описати значення на виході схеми за замовчуванням (default). З синтезованої схеми видно, що функціонал дозволу роботи пристрою теж реалізовується у вигляді окремого мультиплексора

Приклад 4. Дешифратор 3:8. У дешифраторі на виході використовується унітарний код, враховуючи це опис можливо виконати наступним чином:

Реалізувати дешифратор двійкового коду в код семи сегментного індикатора.

Дешифратор є комбінаційним пристроєм, значення на виходах дешифратора залежить лише від вхідних сигналів. Опис комбінаційної схеми можливо виконати за логічними функціями, проте для їх знаходження необхідно пройти процес їх мінімізації. На Verilog для опису дешифратора зручно скористатися поведінковим стилем опису з використанням процедурного блоку *always* та конструкції *case*.

```

module decoder(out,in);
  output reg [7:0]out;
  input [2:0]in;
  always @ (in)
  begin
    out = 8'h00;
    out[in] = 1'b1;
  end
endmodule

```

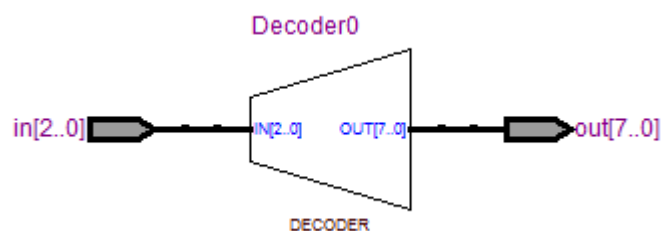


Рис. 1.4 – Дешифратор 3:8

1.4.2 Призначення портів модуля до виводів ПЛІС

Після успішної компіляції проекту можна перейти до призначення окремих виводів мікросхеми ПЛІС до відповідних входів та виходів модуля розробленого пристрою. Для цього слід у меню перейти за наступним шляхом: Assignments → Pin Planner (рис. 1.5)

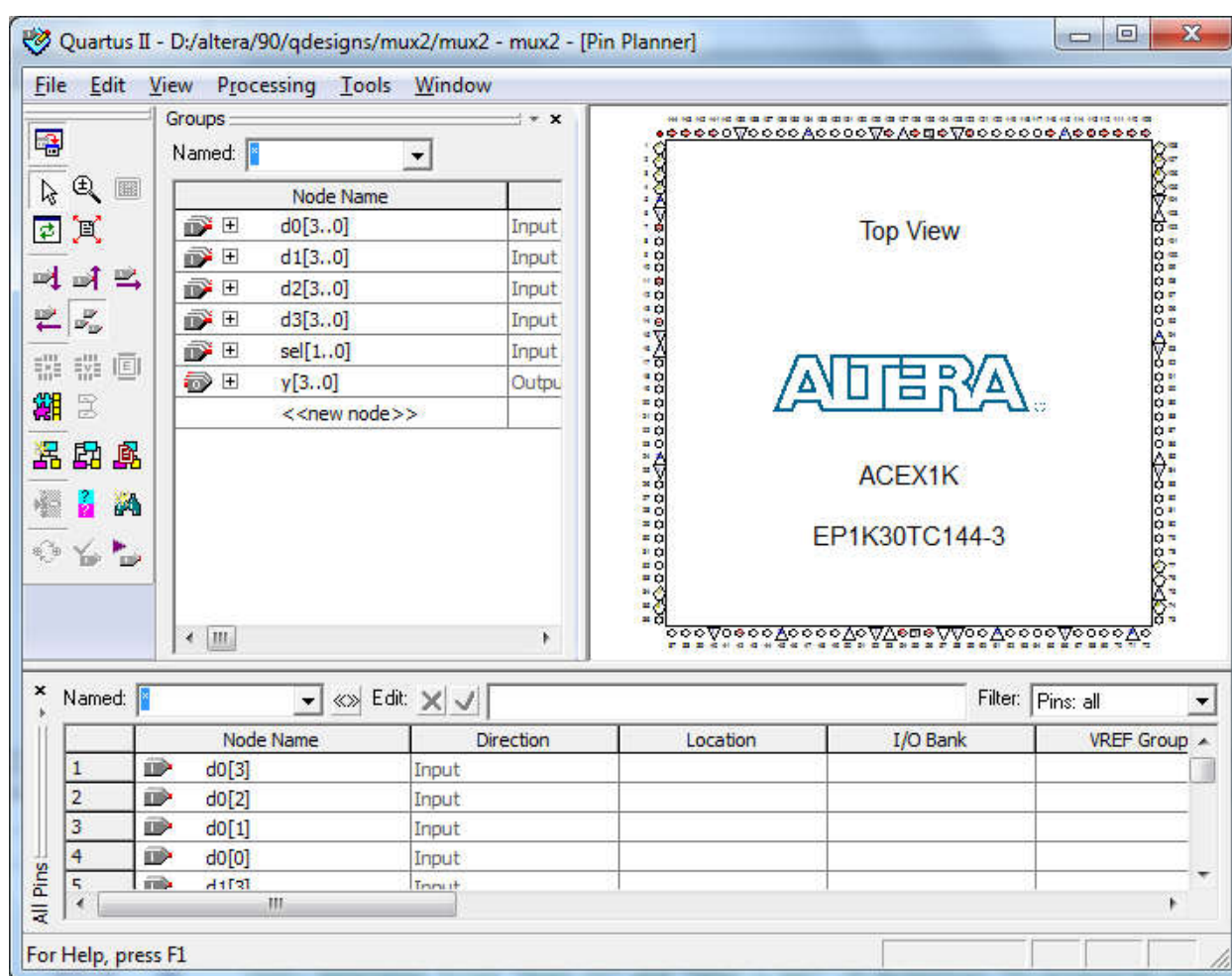


Рис. 1.5 – Вікно для призначення виводів ПЛІС

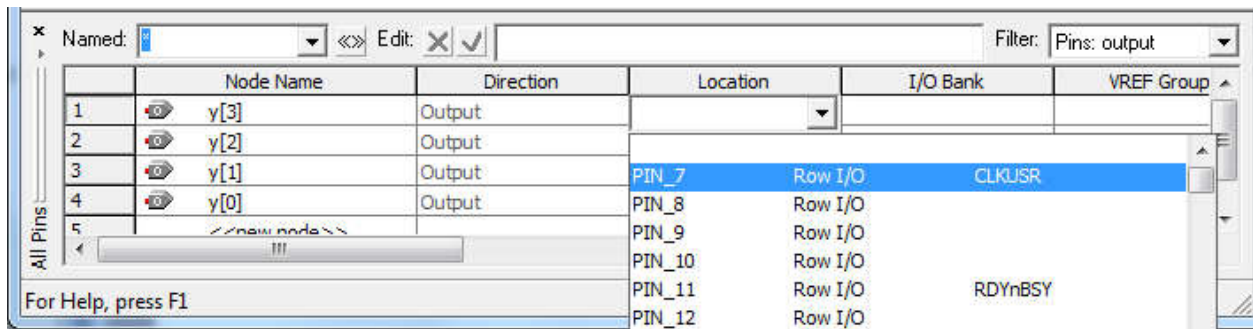


Рис. 1.6 – Вибір виводу ПЛІС на конкретний порт розробленого модуля

Після того, як призначення були завершені проект слід перекомпілювати. Далі можливо конфігурувати ПЛІС та перевіряти коректність функціонування розробленого модуля на макеті.

1.4.3 Конфігурування ПЛІС

В меню Quartus II (Tools → Programmer) вибираємо програма тор, рис. 1.7

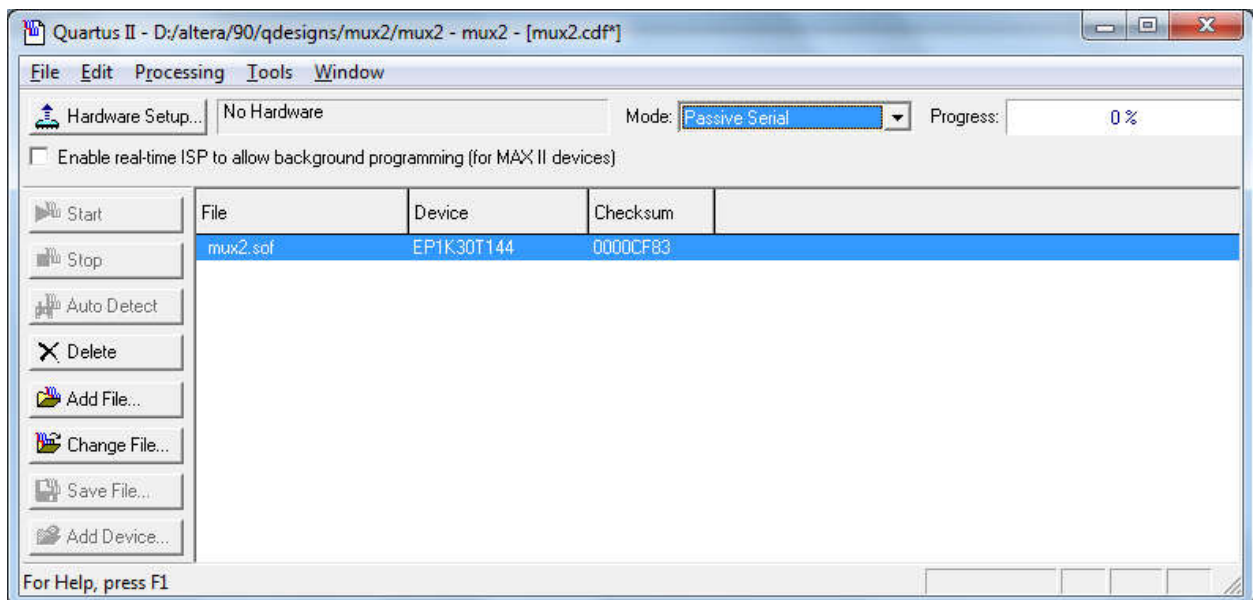


Рис. 1.7 – Вікно конфігурування ПЛІС

Перед тим як почати конфігурувати ПЛІС у вікні Programmer заходимо в меню Options – Hardware Setup и встановлюємо тип програматора ByteBlaster(MV). Впевнившись, що кабель програматора і живлення приєднані до макета, зконфігурувати ПЛІС в режимі **Passive Serial**.

У разі, якщо модель цифрового пристрою описана коректно і призначення виводів виконано у відповідності до схеми макету ЦП буде функціонувати коректно.

Контрольні запитання

1. Дайте визначення цифровому пристрою комбінаційного типу.
2. Яка різниця між описом моделі ЦП структурним та поведінковим стилем.
3. Які особливості опису комбінаційного пристрою поведінковим стилем через процедурний блок *always*?
4. Яка різниця між описом комбінаційного пристрою через *assign* та *always*?
5. Поясніть структуру виразу умовного присвоєння *condition?(true):(false)*
6. Поясніть у який спосіб на макеті можливо використовувати двохпозиційні кнопки на індикацію для перевірки моделей мультиплексорів та демультимплексорів, шифраторів та дешифраторів, перетворювачів кодів.
7. Визначіть за результатами синтезу комбінаційного пристрою його часові характеристики: найдовший час поширення сигналу з входів на вихід t_{PD} та найменший час реакції на виході у разі змін на входах t_{CD} .
8. Охарактеризуйте можливості та ресурси *EPC1K30TC144-3*.
9. Приведіть загальну структурну схему модуля тестування (TestBench).
10. Як у модулі тестування TestBench можливо задати тестові вектори для стимулів.
11. Поясніть за яким критерієм у модулі тестування TestBench можливо контролювати коректну функціональність.
12. За якими правилами у модулі тестування TestBench формується шаблон для виведення інформації у консоль.

Література до лабораторної роботи № 1

1. Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры / А.К. Поляков. – М. : СОЛОН-Пресс, 2003. – 320 с. – Библиогр. : ISBN 5-08003-016-6. [стр. 88-118, 137-150]
2. Опис та симуляція моделей цифрових пристроїв на Verilog : Метод. вказівки до викон. розрахунково-графічної роботи для студ. спец. «Радіoeлектронні апарати та засоби», «Інтелектуальні технології мікросистемної радіoeлектронної техніки», «Біотехнічні та медичні апарати і системи» / Уклад. : В.С. Мосійчук. – К. : НТУУ «КПІ», 2012. – 35 с. – Режим доступу: http://ros.kpi.ua/downloads/CXT_EA_RGR.pdf [стр. 6-11, 20-25]
3. Harris D. M. Digital Design and Computer Architecture / D.M. Harris , S. L. Harris. ; Sec. Ed. – Morgan Kaufmann, 2013. – 560 с. – ISBN 978-0-12-394424-5. [p. 171-185]

ЛАБОРАТОРНА РОБОТА № 2

ОПИС ТА ЛАДНАННЯ ЦИФРОВИХ ПРИСТРОЇВ ПОСЛІДОВНІСНОГО ТИПУ

2.1 Мета роботи

Ознайомитись з середовищем розроблення та тестування цифрових пристроїв на ПЛІС Quartus II та ModelSIM, отримати практичні навички у створенні проектів, опису моделей цифрових пристроїв на Verilog, їх тестування та перевірки на ПЛІС фірми Altera.

2.2 Завдання

Необхідно описати модель простого цифрового пристрою послідовнісного типу на мові Verilog, створити модуль тестування та перевірити функціональну коректність моделі безпосередньо на ПЛІС.

Процес виконання завдання можна розділити на такі етапи:

- 1) створення нового проекту в САПР Quartus (додаток А);
- 2) опис моделі ЦП послідовнісного типу на Verilog відповідно до індивідуального завдання;
- 3) створення модуля тестування (TestBench) для формування стимулів та автоматичної перевірки на виходах очікуваних сигналів в САПР ModelSIM (додаток Б);
- 4) призначення портів розробленого модуля ЦП до виводів ПЛІС відповідно до схем, що наведені на рис. В. 8 – В.10;
- 5) конфігурування ПЛІС та перевірка функціональної коректності моделі на макеті.

2.3 Індивідуальне завдання

Для індивідуальної роботи пропонується реалізувати лічильник, універсальний зсувний регістр або генератор псевдовипадкової послідовності (ПСП). Породжуючий поліном для генератора ПСП задається викладачем відповідно до табл. 2.1. Тактова частота, за якою генератор буде формувати нові значення має бути достатньою для візуального контролю на макеті.

Таблиця 2.1. – Приклади варіантів завдань

№	Завдання	№	Завдання
1	8-ми розр. додав. лічильник	7	ген. ПСП: $f(x) = x^7 + x^6 + x^5 + x^4 + 1$
2	ген. ПСП: $f(x) = x^4 + x^3 + 1$	8	ген. ПСП: $f(x) = x^7 + x^5 + x^4 + x^3 + 1$
3	8-ми розр. віднім. лічильник	9	ген. ПСП: $f(x) = x^7 + x^4 + x^3 + x + 1$
4	ген. ПСП: $f(x) = x^7 + x^5 + x^3 + 1$	10	ген. ПСП: $f(x) = x^6 + x^4 + x^3 + x^2 + 1$
5	8-ми розр. лічильник з завантаж.	11	ген. ПСП: $f(x) = x^6 + x^3 + x^2 + x + 1$
6	кільцевий зсувний регістр	12	ген. ПСП: $f(x) = x^5 + x^4 + x^2 + x + 1$

2.4 Методичні вказівки

Далі наведено приклади опису моделей ЦП послідовнісного типу на Verilog, узагальнену структурну схему пристрою на макеті та особливості створення модулів тестування для послідовнісних пристроїв.

2.4.1 Приклади опису цифрових пристроїв послідовнісного типу

Приклад 2.1: Описати на Verilog чотирьох розрядний регістр з синхронним скиданням.

```

module registr (clk, rst, d, q);
    input clk, rst;
    input [3:0] d;
    output reg [3:0] q;
always @ (posedge clk)
    if (rst)
        q <= 4'b0000;
    else
        q <= d;
endmodule

```

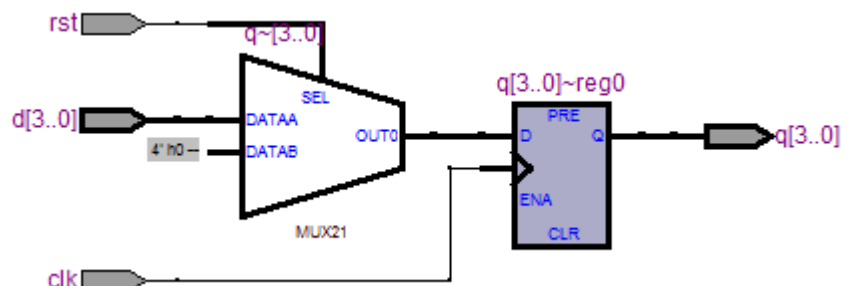


Рис. 2.1 – Регістр з синхронним скиданням

У разі синхронного скидання, сигнал rst не поміщується у таблицю чутливості. Внаслідок цього реакція та сигнал скидання буде виконана одразу після наступного фронту тактового сигналу. Під час синтезу для реалізації синхронного скидання перед регістром додатково буде ще використаний мультиплексор, що керується сигналом скидання.

Приклад 2.2 Описати на Verilog додавальний лічильник з модулем лічби $M=9$, стани від 0 до 9. У лічильнику має бути передбачена можливість асинхронного скидання.

```

module upcounter (clk, rst, q);
    input clk, rst;
    output reg [3:0] q;
    assign compare = (q == 4'b1001);
    always @ (posedge clk or negedge rst)
        if (!rst)
            q <= 4'b0000;
        else if (compare)
            q <= 4'b0000;
        else
            q <= q+1'b1;
endmodule

```

Схема лічильник, як добре видно з рисунку, складається з двох основних частин : регістру з чотирьох тригерів та комбінаційної схеми, яка складається з суматора та компаратора. При чому сигнал з компаратора є керуючим для мультиплексора, який і визначає в який наступний стан встановиться регістр.

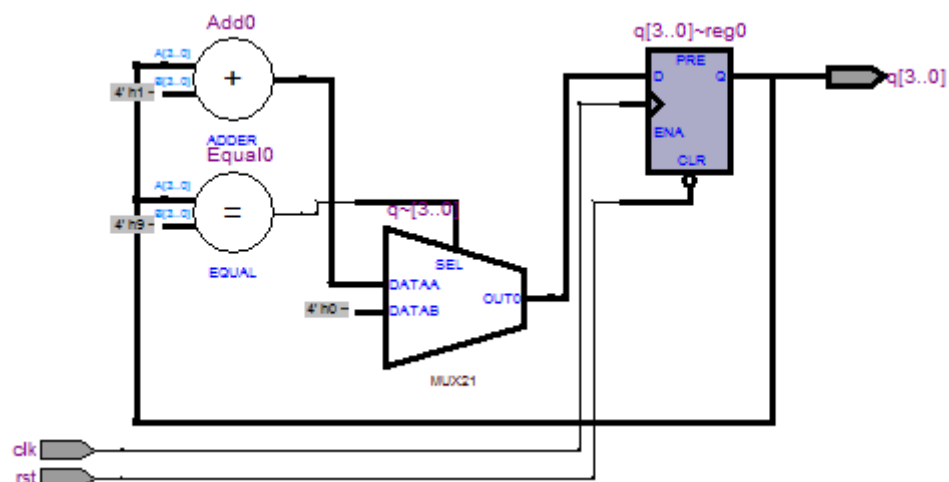


Рис. 2.2 – Додавальний лічильник з синхронним скиданням

Приклад 2.3 Описати на Verilog зсувний регістр з асинхронним активним високим рівнем скиданням .

```

module shifter (A, E, clk, rst);
    output A;
    input E;
    input clk, rst;
    reg A, B, C, D;
always @ (posedge clk or posedge rst)
    if (rst) begin A <= 0; B <= 0; C <= 0; D <= 0; end
    else begin
        A <= B; B <= C; C <= D; D <= E;
    end
endmodule

```

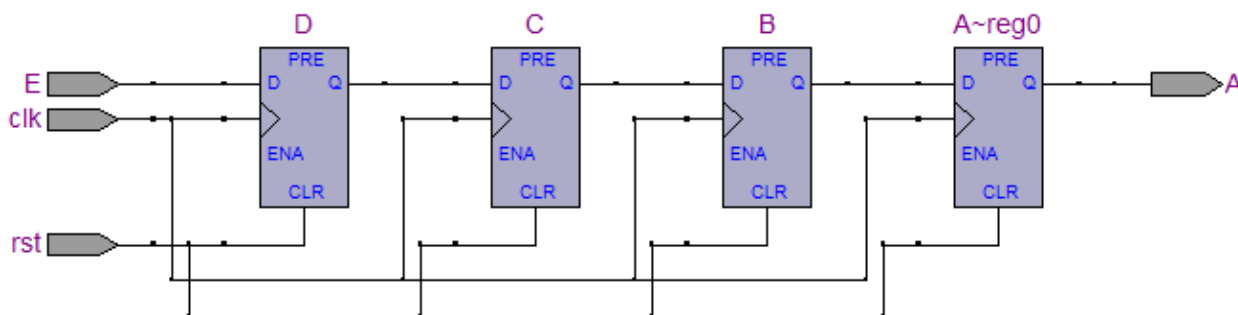


Рис. 2.3 – Зсувний регістр з асинхронним скиданням

Приклад 2.4 Описати на Verilog генератор псевдовипадкової послідовності (ПСП) розмірністю 8 розрядів на основі породжуючої функції $f(x) = x^7 + x^4 + x^3 + x^2 + x + 1$.

Автономний зсувний регістр з лінійним зворотнім зв'язком показано на рис. 2.4 має коефіцієнти $C_1 \dots C_N$, що визначають зворотній зв'язок для кожного розряду регістра. Коефіцієнт $C_N = 1$, оскільки вихід $Y[N]$ з'єднується безпосередньо з входом самого молодшого розряду, всі інші зворотні зв'язки у разі, якщо $C_i = 1$ формуються як виключне АБО $Y[i-1]$ та $Y[i]$, для $i = 2 \dots N$. В іншому випадку, вхід i -го розряду буде безпосередньо з'єднаний з виходом $i-1$ розряду. Коефіцієнти у зворотному зв'язку визначає характеристичний многочлен зсувного регістра з лінійним зворотнім зв'язком. Характеристичний многочлен визначає період регістру (кількість циклів

після яких значення регістру повторюється). Код Verilog нижче описує автономний зсувний регістр з лінійним зворотнім зв'язком на 8 розрядів.

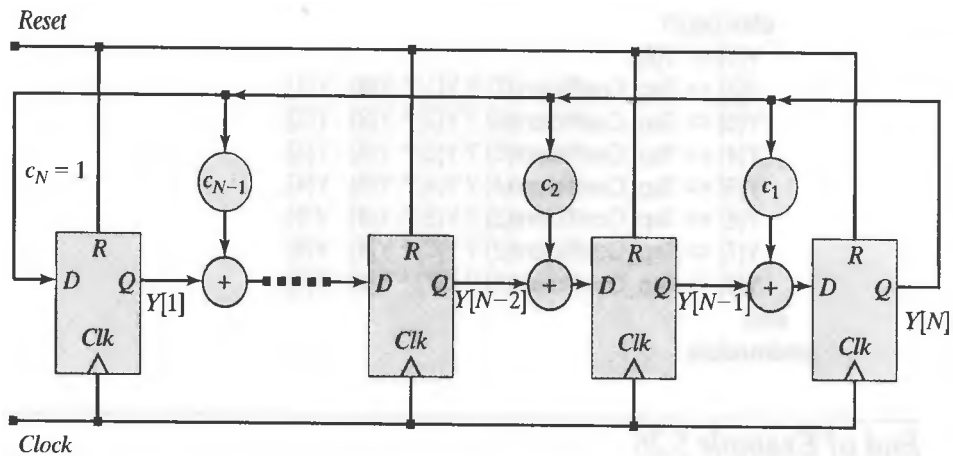


Рис. 2.3 – Зсувний регістр з асинхронним скиданням

```

module LFSR (Y, clk, rst); //Linear feedback shift reg
parameter      Length = 8;
parameter      InitialState = 8'b1001_0001; //91h
parameter      [1:Length] Coeff = 8'b1100_1111;
input          clk, rst;
output reg     [1:Length] Y;

always @ (posedge clk)
if (!rst)
    Y <= InitialState; // Active-low reset
else begin
    Y[1] <= Y[8];
    Y[2] <= Coeff[7] ? Y[1]^Y[8] : Y[1];
    Y[3] <= Coeff[6] ? Y[2]^Y[8] : Y[2];
    Y[4] <= Coeff[5] ? Y[3]^Y[8] : Y[3];
    Y[5] <= Coeff[4] ? Y[4]^Y[8] : Y[4];
    Y[6] <= Coeff[3] ? Y[5]^Y[8] : Y[5];
    Y[7] <= Coeff[2] ? Y[6]^Y[8] : Y[6];
    Y[8] <= Coeff[1] ? Y[7]^Y[8] : Y[7];
end
endmodule

```

Всі розряди регістру перемикаються синхронно. Рух даних через регістр під час симуляції показано в двійковому і шістнадцятковому форматі на рис. 2.5 для початкового стану і трьох циклів тактового сигналу.

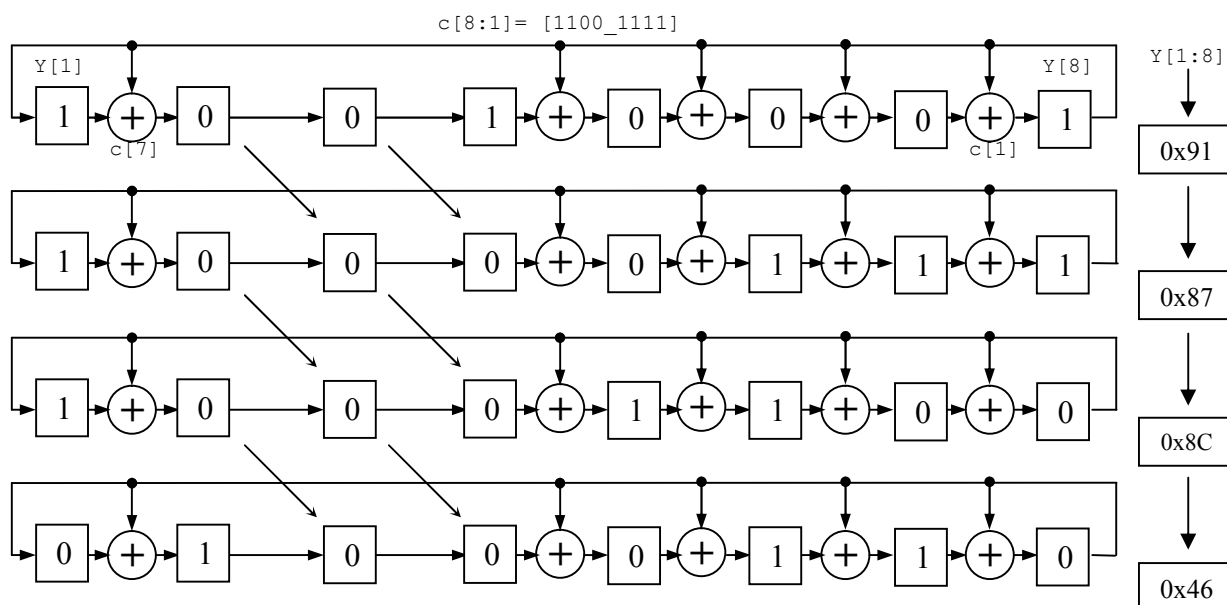


Рис. 2.4 – Пояснення алгоритму формування псевдовипадкової послідовності

2.4.2 Узагальнена схема послідовнісного пристрою на макеті

Послідовнісний цифровий пристрій для перевірки на макеті доцільно реалізувати вигляді, як показано на рис. 2.5. В основі схеми лежить 8-ми розрядний регістр (RG), який можна використовувати як лічильник або як зсувний регістр. Тактувати RG слід генератором на основі зовнішнього тактового генератора. Для кращої візуалізації частоту генератора слід зменшити.

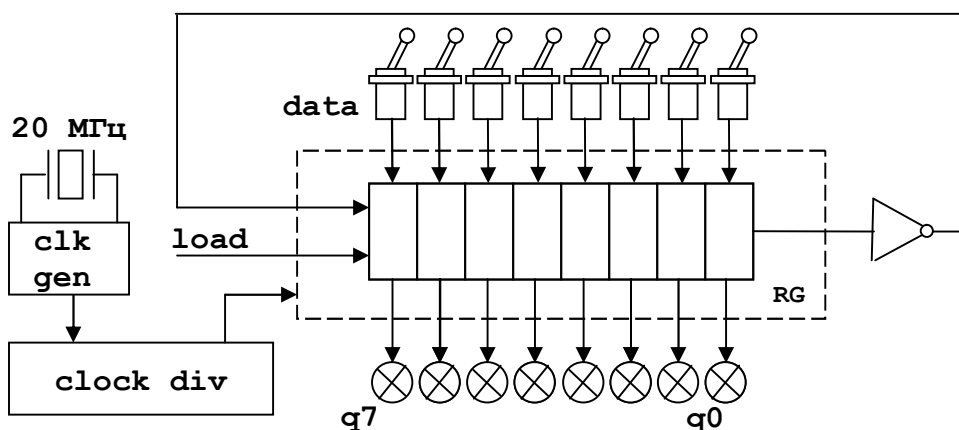


Рис. 2.5 – Узагальнена схема реалізації послідовнісного ЦП на макеті

Вихід регістра слід з'єднати з світлодіодами q7-q0 (рис В.8), для чого необхідно виконати конфігурацію виводів ПЛІС через меню Assignments → Pin Planner, як це показано у п. 1.4.2.

Для роботи послідовнісних пристроїв необхідний тактовий сигнал. Для цього на ПЛІС необхідно виконати опис генератора імпульсів на основі зовнішнього кварцового резонатора (рис. В.5). Конфігурація виводів ПЛІС має відповідати схемі, як це показано на рис. В.4.

Як подільник частоти можна використати лічильник. Кількість розрядів лічильника слід обирати з міркувань того на скільки необхідно поділити вхідну тактову частоту.

Опис тактового генератора, подільника частоти та регістра слід виконати окремими модулями. Далі створити модуль верхнього рівня ієрархії, наприклад, під назвою topdig та з'єднати модулі між собою (рис. 2.6).

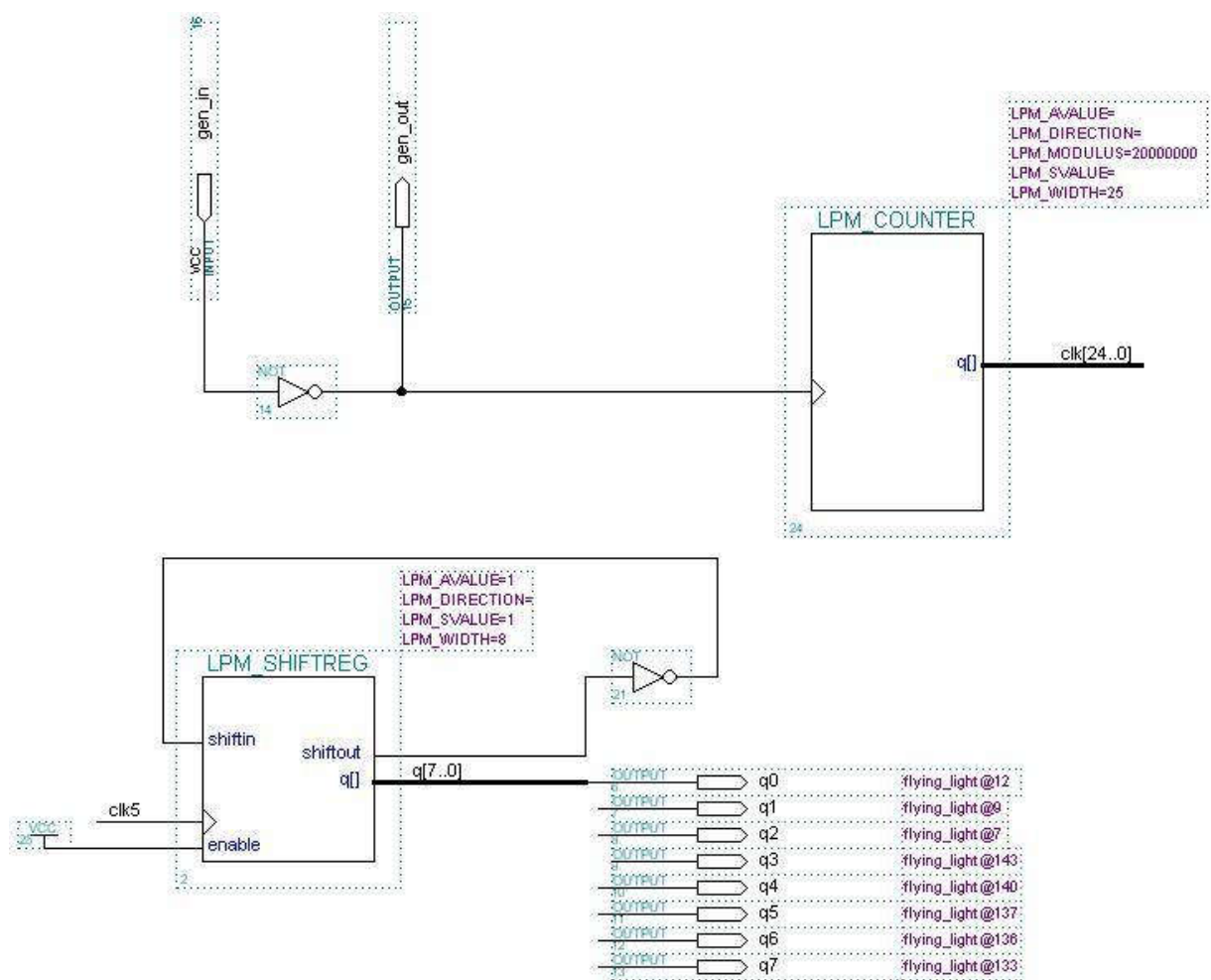


Рис. 2.6 – Ієрархічний проект ЦП на основі структурного опису

Процес компіляції та конфігурації ПЛІС такий самий, як і в першій лабораторній роботі. Впевнившись, що шнур програматора та живлення під'єднанні до макету, конфігуруємо ПЛІС. У разі правильно описаної моделі послідовнісного пристрою, ПЛІС після конфігурації буде працювати одразу.

2.4.3 Особливості тестування послідовнісних цифрових пристроїв

Для того, щоб протестувати послідовнісний цифровий пристрій необхідно, як правило, сформувати тактовий сигнал та сигнал скидання з активним високим рівнем. Приклади формування цих сигналів в testbench приведено нижче.

Тактовий сигнал	Сигнал скидання
<pre>initial begin clk = 0; forever #5 clk = ~clk; end</pre>	<pre>initial begin rst = 1; #10 rst = 0; end</pre>

Контрольні запитання до лабораторної роботи № 2

1. Дайте визначення цифровому пристрою послідовнісного типу.
2. Яка різниця між описом моделі ЦП структурним та поведінковим стилем.
3. Чим відрізняється опис через процедурний блок always послідовнісного типу від комбінаційного поведінковим стилем?
4. Яка різниця між описом послідовнісного пристрою з асинхронним та синхронним скиданням?
5. Чим відрізняється між собою блокуюче та неблокуюче присвоєння.
6. Поясніть де в описі послідовнісного пристрою (приклад 2.2, рис.2.2) виконано опис комбінаційної схеми і де регістру.
7. Як на ПЛІС реалізовується можливо реалізувати тактовий генератор?.
8. Приведіть приклад опису на Verilog подільника частоти.
9. Приведіть загальну структурну схему модуля тестування (TestBench).

10. Які різновиди циклів можливо використовувати у модулі тестування TestBench?
11. Поясніть особливості модуля тестування TestBench для послідовнісних пристроїв.
12. Чим відрізняються між собою процедурні блоки **always** та **initial**.

Література до лабораторної роботи № 2

1. Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры / А.К. Поляков. – М. : СОЛОН-Пресс, 2003. – 320 с. – Библиогр. : ISBN 5-08003-016-6. [стр. 151-161]
2. Опис та симуляція моделей цифрових пристроїв на Verilog : Метод. вказівки до викон. розрахунково-графічної роботи для студ. спец. «Радіoeлектронні апарати та засоби», «Інтелектуальні технології мікросистемної радіoeлектронної техніки», «Біотехнічні та медичні апарати і системи» / Уклад. : В.С. Мосійчук. – К. : НТУУ «КПІ», 2012. – 35 с. – Режим доступу: http://ros.kpi.ua/downloads/CXT_EA_RGR.pdf [стр. 12-19, 20-25]
3. Harris D. M. Digital Design and Computer Architecture / D.M. Harris , S. L. Harris. ; Sec. Ed. – Morgan Kaufmann, 2013. – 560 с. – ISBN 978-0-12-394424-5. [p. 185-190, 190-195]
4. Ciletti M. D. Advanced Digital Design with the Verilog HDL / M.D. Ciletti. – Prentice Hall, 2005. – 982 p. – ISBN 978-0-13-089161-7. [p. 174-179].

ЛАБОРАТОРНА РОБОТА № 3

РЕАЛІЗАЦІЯ ПАРАЛЕЛЬНОГО ІНТЕРФЕЙСУ ОБМІНУ ДАНИМИ З ЗОВНІШНІМИ ПРИСТРОЯМИ

3.1 Мета та основні завдання роботи

Отримати навички організації взаємодії вбудованих систем на ПЛІС з зовнішніми периферійними пристроями, зокрема з мікросхемою цифро-аналогового перетворювача. Засвоїти теоретичні знання реалізації паралельних інтерфейсів та їх опису на Verilog. Отримати практичні навички у створенні проектів синхронних цифрових пристроїв.

3.2 Завдання

Необхідно описати модель синхронного цифрового пристрою послідовнісного типу на мові Verilog, створити модуль тестування та перевірити функціональну коректність моделі безпосередньо на ПЛІС.

Процес виконання завдання можна розділити на такі етапи:

- 1) створення нового проекту в САПР Quartus (додаток А);
- 2) опис моделі синхронного ЦП послідовнісного типу (кінцевий автомат) на Verilog відповідно до індивідуального завдання;
- 3) створення модуля тестування (TestBench) для формування стимулів та автоматичної перевірки на виходах очікуваних сигналів в САПР ModelSIM (додаток Б);
- 4) призначення портів розробленого модуля ЦП до виводів ПЛІС відповідно до схем, що наведені на рис. В. 8 – В.10;
- 5) конфігурування ПЛІС та перевірка функціональної коректності моделі на макеті.

3.3 Індивідуальне завдання

Для індивідуальної роботи пропонується реалізувати генератором сигналів на основі ЦАП. Форма сигналу генератора та його частота

задається викладачем відповідно до табл. 3.1. Контроль коректності формування сигналу виконати у тестовому модулі та на макеті за допомогою осцилографа.

Таблиця 3.1. – Приклади варіантів завдань

№	Завдання	№	Завдання
1	Прямокутні імпульси, $f = 500 \text{ кГц}$	7	Форма трапеції, $T = 1 \text{ мс.}$
2	Трикутні імпульси, $f = 500 \text{ кГц}$	8	Пилкоподібна форма, $T = 1 \text{ мс.}$
3	Прямокутні імпульси, $f = 1000 \text{ кГц}$	9	Трикутні імпульси, $f = 50 \text{ кГц}$
4	Трикутні імпульси, $f = 1000 \text{ кГц}$	10	Пилкоподібна форма, $T = 0.1 \text{ мс.}$
5	Прямокутні імпульси, $f = 1500 \text{ кГц}$	11	Прямокутні імпульси, $f = 10 \text{ кГц}$
6	Форма трапеції, $T = 5 \text{ мс.}$	12	Форма трапеції, $T = 10 \text{ мс.}$

3.4 Методичні вказівки

Далі наведено приклади та особливості опису моделей синхронних ЦП послідовнісного типу на Verilog та узагальнену структурну схему пристрою на макеті.

3.4.1 Особливості створення синхронних цифрових пристроїв

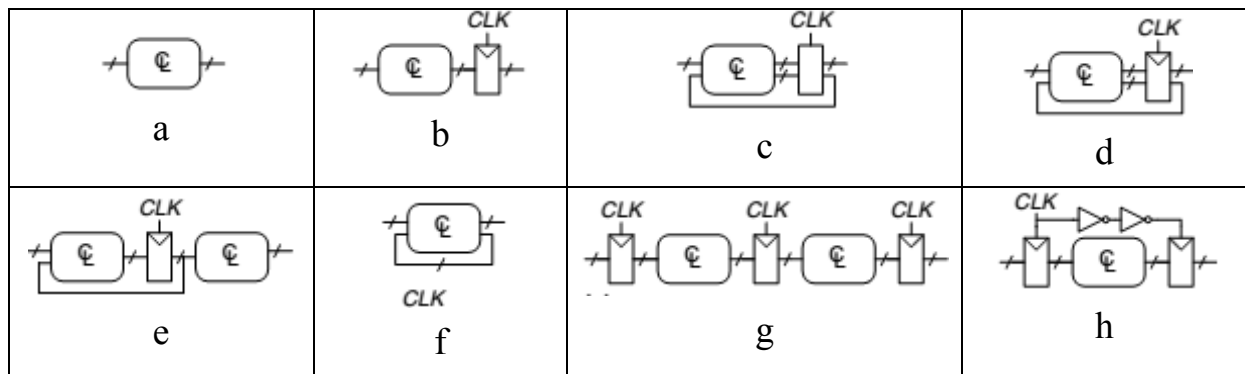
У даній лабораторній роботі слід створити проект синхронного цифрового пристрою. Синхронними є послідовні схеми, які відповідають наступним вимогам:

Схема складається лише з елементів комбінаційної логіки та регістрів;

У схемі є хоча б один регістр;

Всі регістри та тригери тактуються одним тактовим сигналом;

У колах зворотного зв'язку є хоча б один регістр; Послідовнісні схеми, що є не синхронними називаються асинхронними. Нижче приведені структури ЦП, з яких синхронними слід вважати лише b, d, e, g. Схема c не є синхронною, оскільки замість тригера використовується латч (фіксатор), а у схемі h – тригери тактуються різними сигналами.



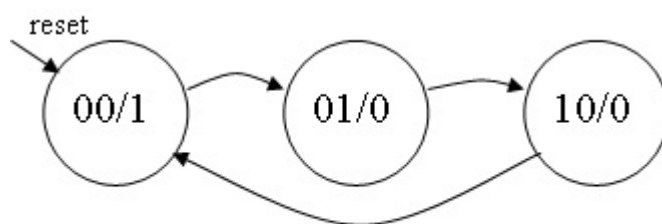
3.4.2 Особливості опису кінцевих автоматів

Кінцеві автомати є потужним шляхом системного проектування послідовнісних цифрових пристроїв на основі специфікації. У разі проектування КА доцільним є наступний алгоритм:

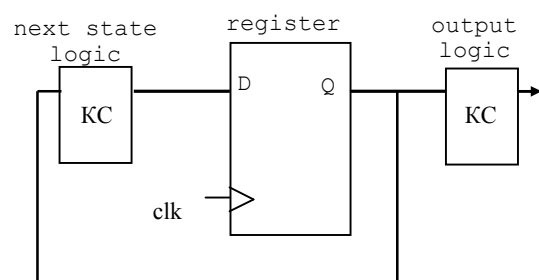
- визначити входи та виходи КА;
- зобразити діаграму перемикачів;
- обрати кодування станів (від вибору може залежати складність проекту);
- описати регістр, що має мати достатньо кількість розрядів;
- описати комбінаційні схеми, що визначають наступний стан (*next state*) і вихідний сигнал (*output logic*).

Приклад: Описати на Verilog кінцевий автомат, що може забезпечити виділення тактової частоти діленої на 3.

Діаграма перемикачів



Загальна структурна схема



```

module FSM (clk, reset, y);
  input clk, reset;
  output y;
  reg [1:0] state, nextstate;
  // register

```

```

always @ (posedge clk or posedge reset)
    if (reset)
        state <= 2'b00;
    else
        state <= nextstate;
// next state logic
always @ (state)
case (state)
    2'b00: nextstate = 2'b01;
    2'b01: nextstate = 2'b10;
    2'b10: nextstate = 2'b00;
    default: nextstate = 2'b00;
endcase
// output logic
assign y = (state == 2'b00);
endmodule

```

Результат синтезу на RTL рівні відображається у вигляді одного блоку, функціонування якого також подається у вигляді діаграми перемикачів

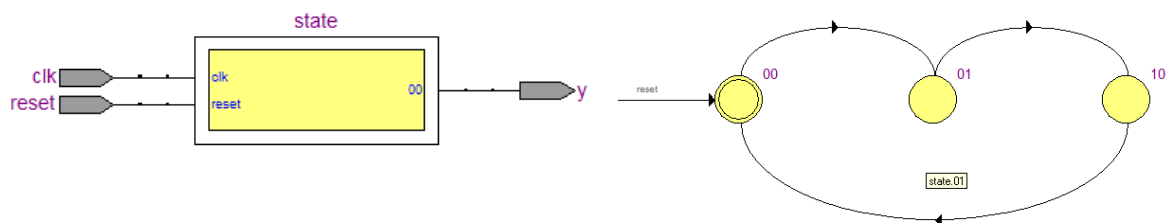


Рис. 3.1 – Синтезований кінцевий автомат та його діаграма станів

3.4.3 Паралельний інтерфейс ЦАП AD7801

Для того, щоб реалізувати обмін даними з ЦАП слід ознайомитись з технічною документацією на ЦАП AD7801, зокрема з часовими характеристиками для реалізації інтерфейсу з мікросхемою.

Паралельний інтерфейс AD7801 організований з допомогою 8-ми розрядної шини. На рис. 3.2 зображені часові діаграми для паралельного порту.

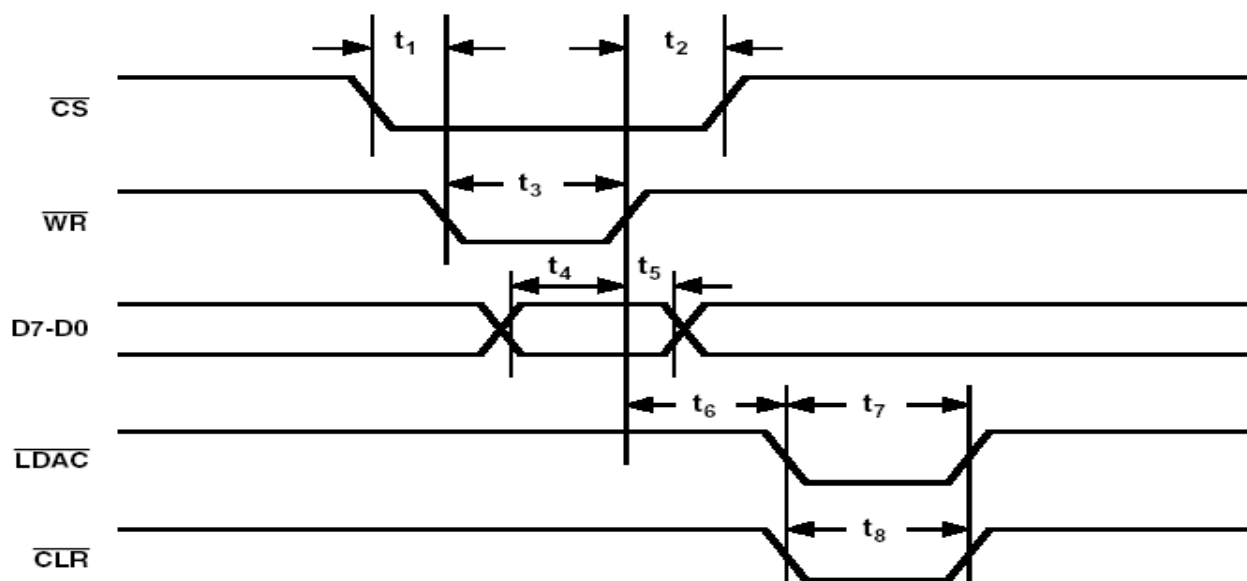


Рис. 3.2 – Часові діаграми обміну даними через паралельну шину

Табл. 3.2 – Часові характеристики паралельного інтерфейсу ЦАП

Параметр	Значення	Одиниця вимірювання	Опис
t_1, min	0	нс	Мінімальний проміжок часу від початку імпульсу $\#CS$ до появи імпульсу $\#WR$
t_2, min	0	нс	Мінімальний проміжок часу між імпульсами $\#CS$ та $\#WR$ під час встановлення рівня
t_3, min	20	нс	Тривалість імпульсу $\#WR$, не менше
t_4, min	15	нс	Час встановлення даних, не менше
t_5, min	4.5	нс	Час утримання даних на шині, не менше
t_6, min	20	нс	Початок імпульса $\#LDAC$, не більше
t_7, min	20	нс	Тривалість імпульса $\#LDAC$, не менше
t_8, min	20	нс	Тривалість імпульса $\#CLR$, не менше

3.4.4 Структура проекту

Розглянемо проект створення генератора сигналів з використанням наявний на макеті ЦАП AD7801. Для цього необхідно створити інтерфейс для взаємодії з ЦАП. Для прикладу створимо генератор сигналів трикутної форми.

Обираємо частоту перетворення з міркувань, що наведені у технічній документації до мікросхеми AD7801.

Імпульс: $\#wr = t_3 = 20\text{ns}$

$D7..D0 = t_4 + t_5 = 15 + 4,5 = 19,5\text{ нс}$

$\#ldac = t_7 = 20\text{ нс}$

Повний час циклу відповідно до рис. 3.1:

$t_{\text{циклу}} = t_3 + t_6 + t_7 = 20 + 20 + 20 = 60\text{ нс}$, тобто

$\text{clk}_{\text{max}} = 16\text{ МГц}$

Граничною частотою формування сигналу буде 16 МГц, для проекту на макеті оберемо частоту, що дорівнює 500 кГц.

Схема генератора, що реалізована структурним описом представлена на рис. 3.2 та 3.3.

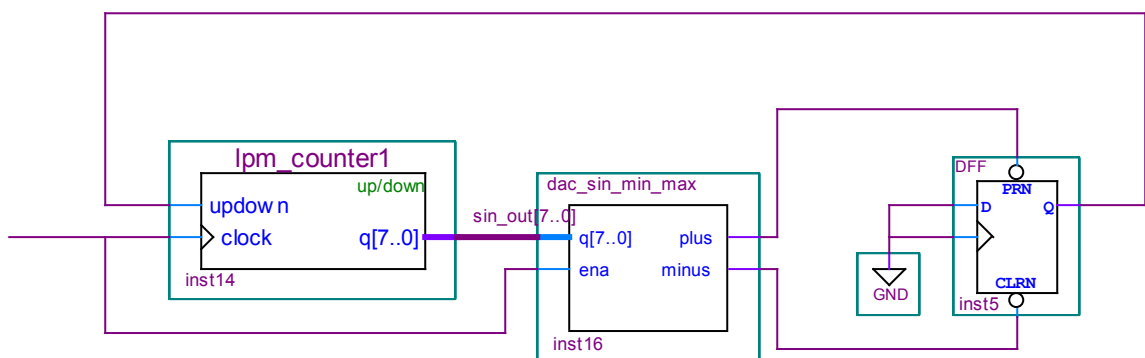


Рис. 3.3 – Часові діаграми обміну даними через паралельну шину

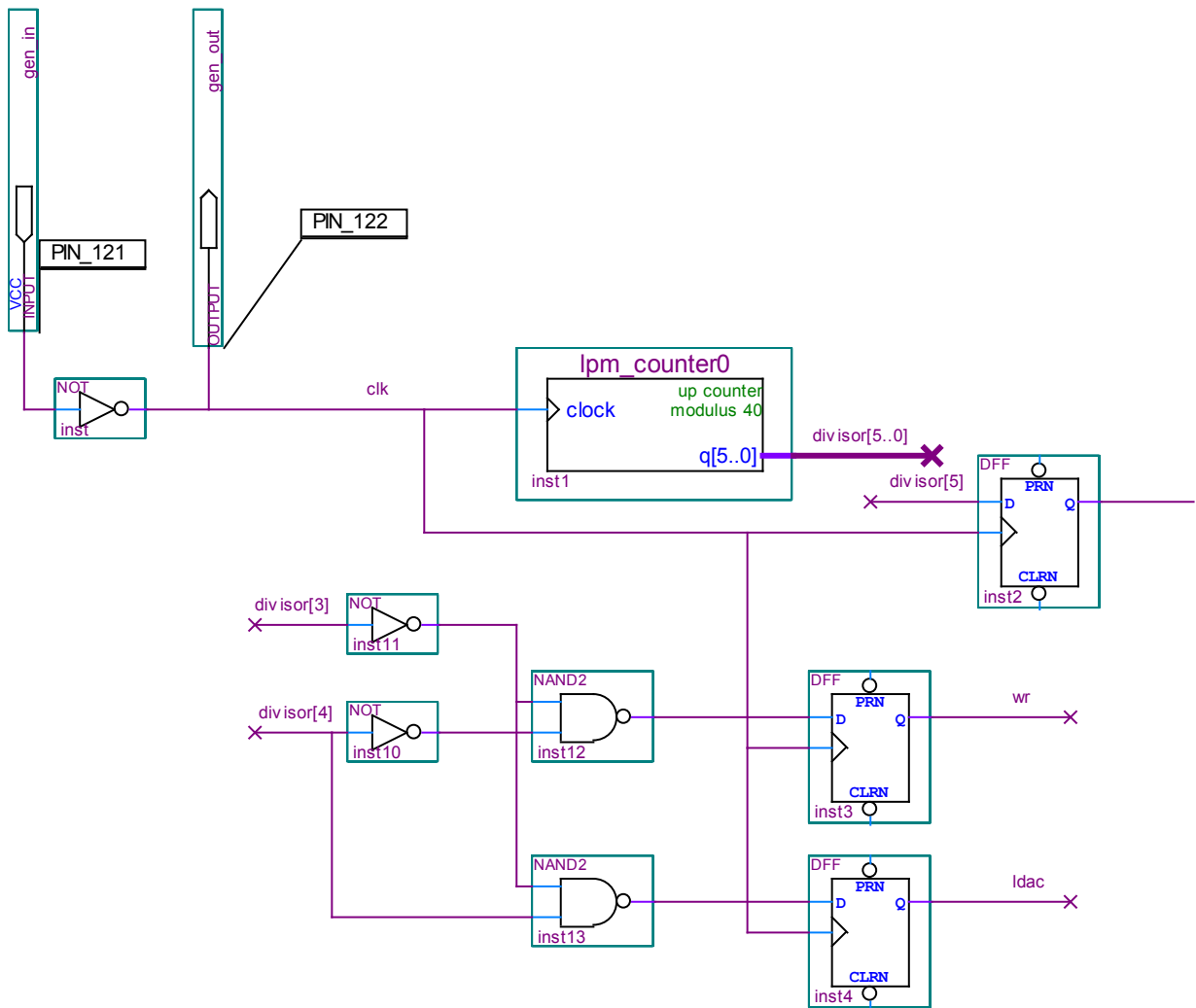


Рис. 3.2 – Часові діаграми обміну даними через паралельну шину

Виводи формувача:

- `gen_in`, `gen_out` – виводи, до яких приєднаний кварц, призначені для формування тактового сигналу.
- `sign_out[7..0]` — вихідна шина даних ЦАП
- `#wr` — сигнал запису в буфер ЦАП
- `#ldac` — сигнал запуску перетворення
- `#cs` — вибір кристалу, дозвіл роботи мікросхеми

Формувач службових імпульсів – це дільник частоти, реалізований на лічильнику. Згідно часовій діаграмі рис. 3.1, обираємо відповідні розряди виходу лічильника.

Формувач відліків реалізований також на параметризованому лічильнику, напрямок рахунку якого регулюється дешифратором мінімуму і максимуму. Тактується лічильник частотою 500 кГц. Тригер на виході дешифратора призначений для запам'ятовування поточного напрямку рахунку.

Тригери на виходах `#wr` і `#ldac` необхідні для захисту від завад типу "голки".

Комбінаційна схема для модуля `dac_sign_min_max` має наступний вигляд.

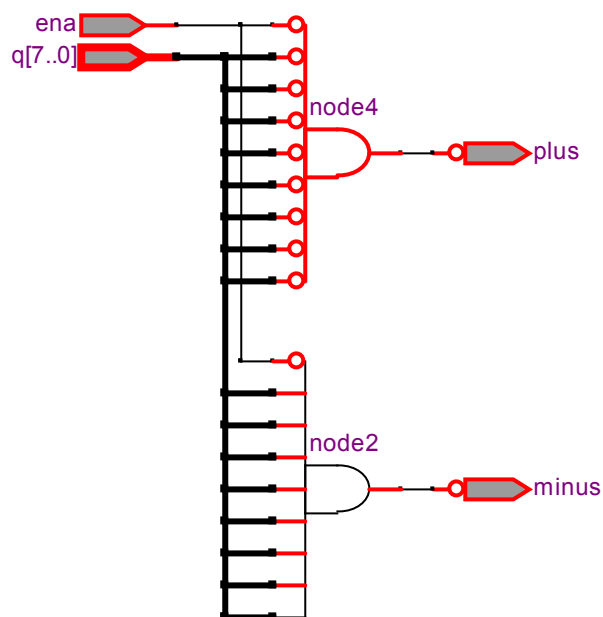


Рис. 3.4 – Комбінаційна схема модуля `dac_sign_min_max`

Після складання схеми і її компіляції, необхідно призначити порти модуля верхнього рівня проекту відповідним виводам мікросхеми ПЛІС (табл. 3.3).

У разі появи на вході дешифратора числа 8'hff і низького рівня тактового імпульсу, генерується сигнал minus. Лічильник починає зворотний рахунок. У разі появи на вході дешифратора числа 8'h00 і низького рівня тактового імпульсу, генерується сигнал plus. Лічильник починає прямий рахунок.

Табл. 3.3

ЦАП	Altera
D0	97
D1	109
D2	110
D3	111
D4	112
D5	113
D6	114
D7	116
#CS	96
#WR	95

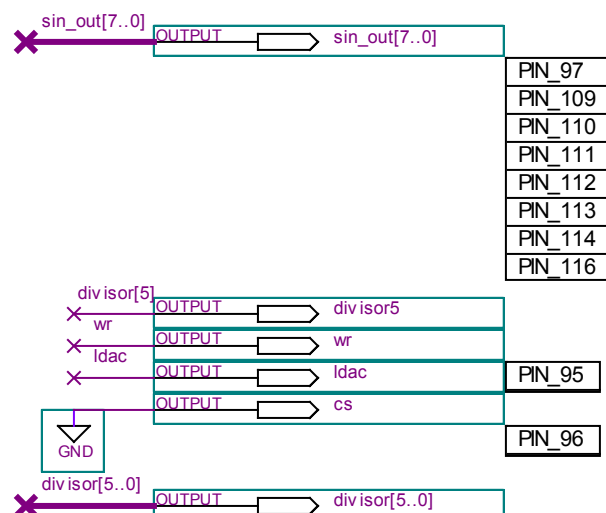
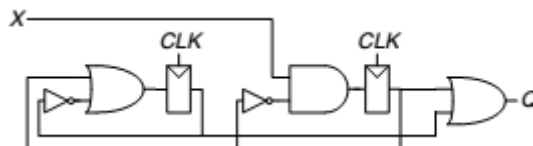


Рис. 3.5 – Порти модуля верхнього рівня, що приєднуються до ЦАП

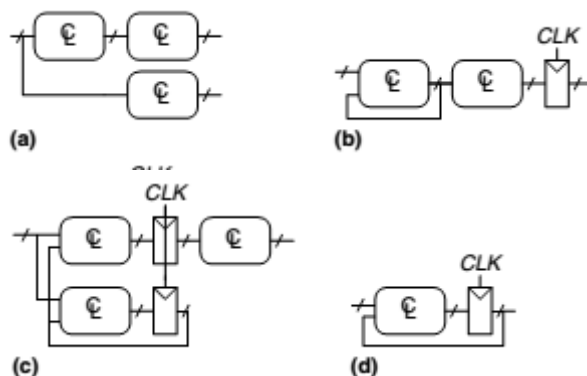
Правильність роботи схеми контролюється осцилографом на відповідному роз'ємі макету (out).

Контрольні запитання до лабораторної роботи № 3

1. Як на ПЛІС реалізовується можливо реалізувати тактовий генератор?
2. Дайте визначення синхронному цифровому пристрою послідовнісного типу.
3. Яка різниця між описом моделей ЦП структурним та поведінковим стилем.
4. Поясніть де в описі кінцевого автомата описано регістр, а де комбінаційні схеми.
5. Що таке фазове запізнення тактового сигналу (CLOCK SKEW)?
6. Чим відрізняється між собою блокуюче та неблокуюче присвоєння.
7. Запропонуйте спосіб реалізації на Verilog генератор гармонійного сигналу з можливістю його реалізації на ПЛІС?
8. Приведіть приклад опису на Verilog реверсивного лічильника.
9. Приведіть приклад опису на Verilog кінцевого автомата.
10. Зобразіть діаграму станів до приведеної нижче схеми КА.



11. Яка різниця в опису на Verilog між КА Мура та Мілі.
12. Які з приведених нижче схем ЦП є синхронними послідовнісними?



Література до лабораторної роботи № 3

1. Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры / А.К. Поляков. – М. : СОЛОН-Пресс, 2003. – 320 с. – Библиогр. : ISBN 5-08003-016-6. [стр. 151-173]

2. Опис та симуляція моделей цифрових пристроїв на Verilog : Метод. вказівки до викон. розрахунково-графічної роботи / Уклад. : В.С. Мосійчук. – К. : НТУУ «КПІ», 2012. – 35 с. – Режим доступу: http://ros.kpi.ua/downloads/CXT_EA_RGR.pdf [стр. 15-19]

3. Harris D. M. Digital Design and Computer Architecture / D.M. Harris , S. L. Harris. ; Sec. Ed. – Morgan Kaufmann, 2013. – 560 с. – ISBN 978-0-12-394424-5. [p. 113-154]

4. Ciletti M. D. Advanced Digital Design with the Verilog HDL / M.D. Ciletti. – Prentice Hall, 2005. – 982 p. – ISBN 978-0-13-089161-7. [p. 271-308]

5. AD7801: +2.7 V to +5.5 V, Parallel Input, Voltage Output 8-Bit DAC [Електронний документ]. – Режим доступу: <http://www.analog.com/ru/digital-to-analog-converters/dac-converters/ad7801/products/product.html>

ЛАБОРАТОРНА РОБОТА № 4

ДИСКРЕТИЗАЦІЯ АНАЛОГОВИХ СИГНАЛІВ ТА РЕАЛІЗАЦІЯ ЦИФРОВИХ ФІЛЬТРІВ

4.1 Мета та основні завдання роботи

Отримати навички організації взаємодії вбудованих систем на ПЛІС з зовнішніми периферійними пристроями, зокрема з мікросхемою аналогово-цифрового перетворювача. Отримати практичні навички реалізації паралельних інтерфейсів та опису на Verilog модулів цифрового оброблення сигналів, зокрема, цифрових фільтрів.

4.2 Завдання

Необхідно описати модель синхронного цифрового пристрою послідовнісного типу на мові Verilog, створити модуль тестування та перевірити функціональну коректність моделі безпосередньо на ПЛІС. В лабораторній роботі слід створити проект у якому буде реалізоване перетворення аналогових сигналів у цифровий код з заданою частотою дискретизації за допомогою мікросхеми АЦП AD7819. Процес виконання завдання можна розділити на такі етапи:

- 1) створення нового проекту в САПР Quartus (додаток А);
- 2) опис моделі паралельного цифрового інтерфейсу на Verilog відповідно до індивідуального завдання;
- 3) створення модуля тестування (TestBench) для формування стимулів та автоматичної перевірки на виходах очікуваних сигналів в САПР ModelSIM (додаток Б);
- 4) призначення портів розробленого модуля ЦП до виводів ПЛІС відповідно до схем, що наведені на рис. В. 8 – В.10;
- 5) конфігурування ПЛІС та перевірка функціональної коректності моделі на макеті.
- 6) реалізувати та випробувати цифровий фільтр.

4.3 Індивідуальне завдання

Для індивідуальної роботи пропонується реалізувати паралельний інтерфейс до мікросхеми АЦП. Частота дискретизації задається викладачем відповідно до табл. 4.1. Контроль коректності формування сигналу виконати у тестовому модулі та на макеті.

Таблиця 4.1. – Приклади варіантів завдань

№	Завдання	№	Завдання
1	$f_{\text{дискр}} = 50 \text{ Гц}$	7	$f_{\text{дискр}} = 50 \text{ Гц}$
2	$f_{\text{дискр}} = 100 \text{ Гц}$	8	$f_{\text{дискр}} = 100 \text{ Гц}$
3	$f_{\text{дискр}} = 500 \text{ Гц}$	9	$f_{\text{дискр}} = 200 \text{ Гц}$
4	$f_{\text{дискр}} = 200 \text{ Гц}$	10	$f_{\text{дискр}} = 400 \text{ Гц}$
5	$f_{\text{дискр}} = 1000 \text{ Гц}$	11	$f_{\text{дискр}} = 500 \text{ Гц}$
6	$f_{\text{дискр}} = 2000 \text{ Гц}$	12	$f_{\text{дискр}} = 1000 \text{ Гц}$

4.4 Методичні вказівки

4.4.1 Паралельний інтерфейс АЦП AD7819

Паралельний інтерфейс AD7819 реалізований на основі 8-ми бітної шини. Буфери вихідних даних активні у разі, якщо обидва сигнали #CS и #RD будуть у низькому рівні. На рис. 4.1 зображені часові діаграми для паралельної шини передачі даних.

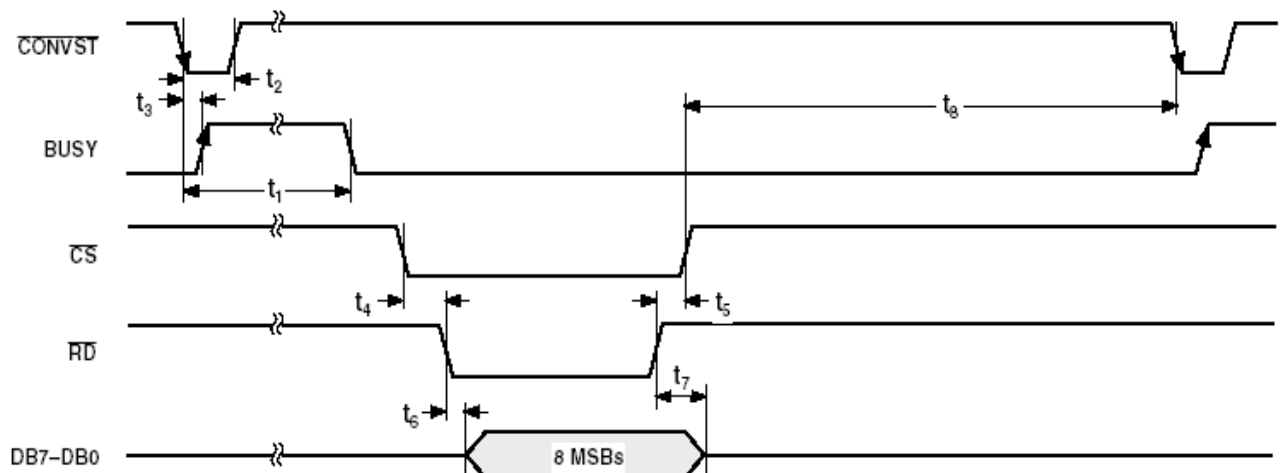


Рис. 4.1 – Часові діаграми обміну даними через паралельну шину

Табл. 4.2 – Часові характеристики паралельного інтерфейсу АЦП

Параметр	Значення	Одиниця вимірювання	Опис
t_1, max	4.5	мкс	Тривалість аналогово-цифрового перетворення
t_2, min	30	нс	Тривалість стробу #CONVST
t_3, max	30	нс	Затримка між початком #CONVST і реакцією BUSY
t_4, min	0	нс	час встановлення #RD відносно #CS
t_5, min	0	нс	Час утримання #CS після встановлення #RD у високий рівень
t_6, max	10	нс	Час до появи даних після встановлення #RD у низький рівень
t_7, max	10	нс	Утримання даних після встановлення #RD у високий рівень
t_8, min	100	нс	Час для підготовки до початку наступного перетворення.

4.4.2 Модуль формування службових сигналів

Розглянемо проект створення паралельного інтерфейсу для взаємодії з АЦП. Методика створення паралельного інтерфейсу аналогічна процедурі формування сигналів паралельного інтерфейсу у попередній роботі.

Максимальна частота дискретизація відповідно до табл. 4.2 визначається часом перетворення і для AD7819 складає 4.5 мкс або 222 кГц.

Сформувати службові імпульси можливо на основі лічильника / подільника частоти, як це було виконано у попередній роботі. Відповідні розряди лічильника для формування службових сигналів слід обрати відповідно до часової діаграми на рис. 4.1. Для цього створимо окремий модуль tcu (time control unit), що буде відповідати за службові імпульси.

Інтерфейс цього модуля описаний у табл. 4.3. Модуль складається з сигналів з комбінаційної схеми та тригерів для уникнення впливу завад типу «голок» на виходах комбінаційної схеми (рис. 4.2).

Табл. 4.3 – Порти вводу/виводу модуля tcu.

Входи:	Виходи:
div[6..0] - сигнали з лічильника / подільника частоти	nCONVST – запуск аналогово-цифрового перетворення
clk - глобальний тактовий сигнал	rd – строб зчитування даних
busy – сигнал зайнятості від АЦП	cs – строб вибору/дозволу мікросхеми

Приклад реалізації модуля формування службових сигналів приведений нижче та на рис. 4.2. Проте формування сигналів можливо і іншим способом, наприклад, за допомогою кінцевого автомата.

```

module tcu (div, busy, convst, cs, rd, clk, rst);
    input clk, rst;
    input busy;
    reg    busysync;
    output reg convst, cs, rd;
    wire   _convst, _cs, _rd;
    input  [31:0]div;
    wire   delayed_strob;

    assign _convst = !(div[4] & !div[3]) ;
    assign delayed_strob = (div[4] & !div[3]);
    assign _cs = !(busysync & delayed_strob);
    assign _rd = !(busysync & delayed_strob);

    always @(posedge clk or negedge rst)
        if(!rst) begin
            convst    <= 1'b0;
            cs        <= 1'b0;
            rd        <= 1'b0;
            busysync  <= 1'b0;
        end
        else begin
            convst    <= _convst;
            cs        <= _cs;
            rd        <= _rd;
            busysync  <= busy;
        end
    end
endmodule

```

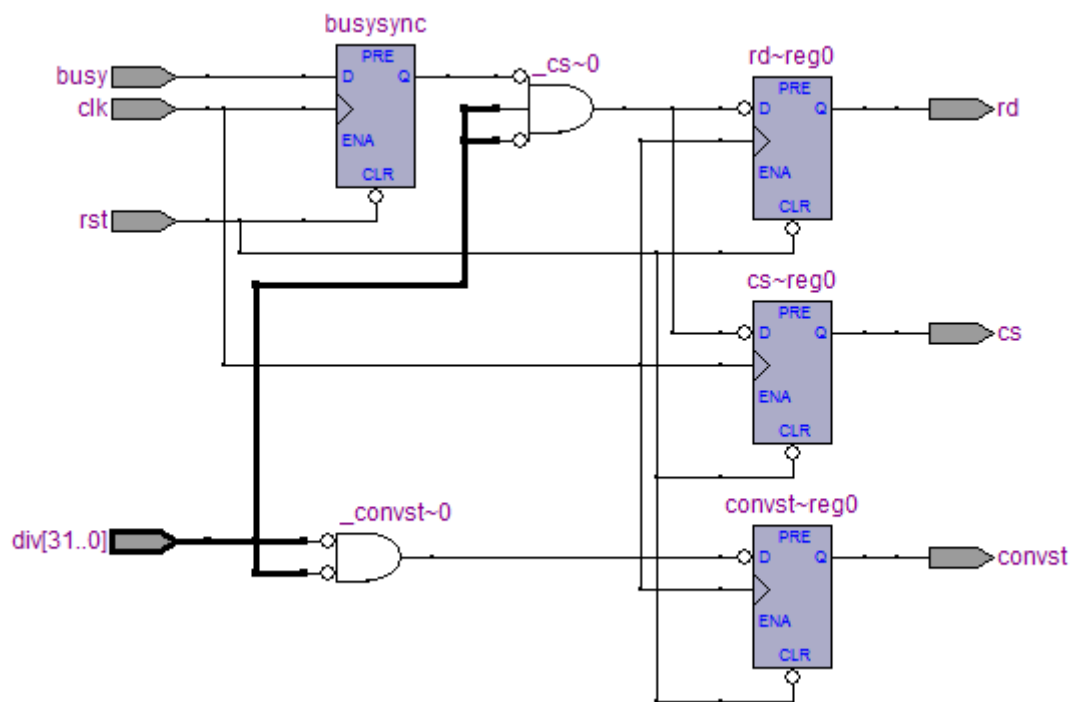


Рис. 4.2 – Модуль tsc для формування службових сигналів

4.4.3 Структура модуля верхнього рівня

Модуль верхнього рівня проекту має структуру схожу як і в попередніх роботах, зокрема для формування трикутного сигналу за допомогою ЦАП, тільки з іншим модулем формування службових імпульсів для АЦП.

Після успішної компіляції проекту призначаємо входи та виходи схеми з виводами мікросхеми ПЛІС (табл. 4.4).

Табл. 4.4 – Відповідність сигналів проекту з виводами мікросхеми ПЛІС

АЦП	DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7	#CS	#RD	#CONVST	BUSY
Altera	59	60	63	65	81	83	86	87	67	64	82	62

Для контролю роботи шини АЦП під'єднуємо до світлодіодів. В результаті у разі збільшення рівня аналогового сигналу буде відбуватися засвічування світлодіодів відповідних розрядів шини.

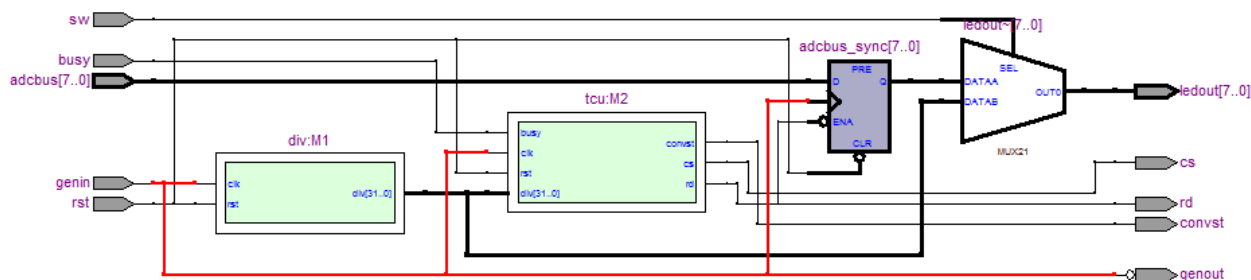


Рис. 4.3 – Модуль верхнього рівня проекту на RTL рівні

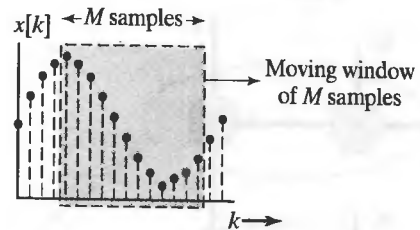
У нашому проекті є сигнали, що функціонують як асинхронні входи. Ці сигнали обов'язково необхідно синхронізувати з тактовим сигналом, що використовується в нашому проекті. Саме з цією метою у проекті додано тригер busysync (рис. 4.2) та регістр adcbus_sync (рис. 4.3).

4.4.4 Реалізація цифрового фільтру

Опісля успішного налагодження паралельного інтерфейсу з АЦП, як правило, сигнал у цифровому вигляді буде мати шум, що буде проявлятися у флуктуаціях в молодших розрядах. Тому розглянемо приклад створення модуля цифрового фільтру нижніх частот.

Цифрові фільтри характеризуються смугою пропускання, верхньою частотою зрізу, нерівномірністю частотної характеристики у смузі пропускання, коефіцієнтом згасання за межами смуги пропускання, частотою дискретизації. Для розрахунку коефіцієнтів цифрового фільтру можна скористатися або спеціалізованим програмним забезпеченням або математичними пакетами, такими як MATLAB. У разі реалізації цифрового фільтру на Verilog зручно оперувати з цілими числами. Тому представлення аналогового сигналу у цифровому коді та коефіцієнти фільтра теж мають бути цілочисловими. Це призводить до певних обмежень у роздільній здатності, до зменшення динамічного діапазону, до помилок квантування, викликаними нехтуванням дробової частини результату арифметичних операцій, що виконуються в цифровому фільтрі. Реалізацію фільтру можна виконати відповідно до його представлення різницевою рівнянням:

$$y_{FIR}[n] = \sum_{k=0}^M b_k \cdot x[n-k]$$



Нижче приведено приклад реалізації Гаусовського ФНЧ 8-го порядку. Дизайн повністю синхронний з сигналом скидання активного низького рівня. Коефіцієнти фільтра представлені у вигляді 8-ми розрядних значень. Коефіцієнти є симетричними, що гарантує лінійність ФЧХ, та апроксимують імпульсну характеристику коло колоподібної форми. Такий вибір спрощує реалізацію фільтра, оскільки всі коефіцієнти будуть позитивними та можуть бути представленими у незначковому форматі. Значення коефіцієнтів отримано з Гаусівського розподілу в діапазоні (0-9) з дев'ятією, що рівна 2. Коефіцієнти, що були отримані з розподілу, далі були помножені у пропорції так, щоб сума вагових коефіцієнтів була рівною 256 (2^8).

```

module FIR_Gaussian_Lowpass (Data_out, Data_in, clk, reset);
// Eighth-order, Gaussian Lowpass FIR
parameter order = 8;
parameter word_size_in = 8;
parameter word_size_out = 2*word_size_in + 2;
// Filter coefficients
parameter b0 = 8'd7;
parameter b1 = 8'd17;
parameter b2 = 8'd32;
parameter b3 = 8'd46;
parameter b4 = 8'd52;
parameter b5 = 8'd46;
parameter b6 = 8'd32;
parameter b7 = 8'd17;
parameter b8 = 8'd7;
output [word_size_out-1: 0] Data_out;
input [word_size_in-1: 0] Data_in;
input clk, rst;
reg [word_size_in-1:0] Samples [1:order];
integer k;
assign Data_out =      b0 * Data_in
                      + b1 * Samples[1]
                      + b2 * Samples[2]
                      + b3 * Samples[3]
                      + b4 * Samples[4]

```

```

        + b5 * Samples[5]
        + b6 * Samples[6]
        + b7 * Samples[7]
        + b8 * Samples[8];

always @ (posedge clk)
    if (!rst) begin
        for (k = 1; k <= order; k = k+1)
            Samples[k] <= 0;
        end
    else begin
        Samples[1] <= Data_in;
        for (k = 2; k <= order; k = k+1)
            Samples[k] <= Samples[k-1];
        end
endmodule

```

Коректність опису цифрового фільтра у тестовому модулі можна перевірити за реакцією фільтра на одиночний імпульс. У цьому разі на виході імпульсна характеристика буде мати значення, що рівні ваговим коефіцієнтам.

Для того, щоб оцінити вплив фільтра на макеті перед виводом цифрового сигналу на світлодіоди доцільно зробити мультиплексор з можливістю підключення сигналу на вихід з та без фільтрації.

Контрольні запитання

1. Яка різниця між описом моделей ЦП структурним та поведінковим стилем.
2. Що таке метастабільний стан, коли він може виникнути у цифрових пристроях, та способи профілактики його появи.
3. Що таке фазове запізнення тактового сигналу (Clock Skew)?
4. З якою метою використовуються синхронізатори вхідних сигналів.
5. Чим відрізняється між собою блокуюче та неблокуюче присвоєння.
6. Чому для опису на Verilog цифрового фільтра використовували цілочислові коефіцієнти.
7. Що таке імпульсна характеристика цифрового фільтра? Як її отримати?

8. Приведіть приклад опису на Verilog кінцевого автомату, що буде реалізовувати паралельний інтерфейс з мікросхемою АЦП.
9. Приведіть приклади недоліків складних комбінаційних схем, зокрема **Data_out** з реалізації цифрового фільтру.
10. Як реалізувати конвеєр у синхронних послідовнісних цифрових пристроях, переваги.
11. Як впливає час затримки вихідного сигналу комбінаційної схеми на максимально можливу робочу тактову частоту?
12. Запропонуйте конвеєрну структуру цифрового фільтра з п. 4.4.4.

Література до лабораторної роботи № 4

1. Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры / А.К. Поляков. – М. : СОЛОН-Пресс, 2003. – 320 с. – Библиогр. : ISBN 5-08003-016-6. [стр. 151-173]
2. Опис та симуляція моделей цифрових пристроїв на Verilog : Метод. вказівки до викон. розрахунково-графічної роботи для студ. спец. «Радіoeлектронні апарати та засоби», «Інтелектуальні технології мікросистемної радіoeлектронної техніки», «Біотехнічні та медичні апарати і системи» / Уклад. : В.С. Мосійчук. – К. : НТУУ «КПІ», 2012. – 35 с. – Режим доступу: http://ros.kpi.ua/downloads/CXT_EA_RGR.pdf [стр. 15-19]
3. Harris D. M. Digital Design and Computer Architecture / D.M. Harris , S. L. Harris. ; Sec. Ed. – Morgan Kaufmann, 2013. – 560 с. – ISBN 978-0-12-394424-5. [p. 113-154]
4. Ciletti M. D. Advanced Digital Design with the Verilog HDL / M.D. Ciletti. – Prentice Hall, 2005. – 982 p. – ISBN 978-0-13-089161-7. [p. 271-308]
5. AD7819: 2.7 V to 5.5 V, 200 kSPS 8-Bit Sampling ADC [Електронний документ]. – Режим доступу: http://www.analog.com/static/imported-files/data_sheets/AD7819.pdf

СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

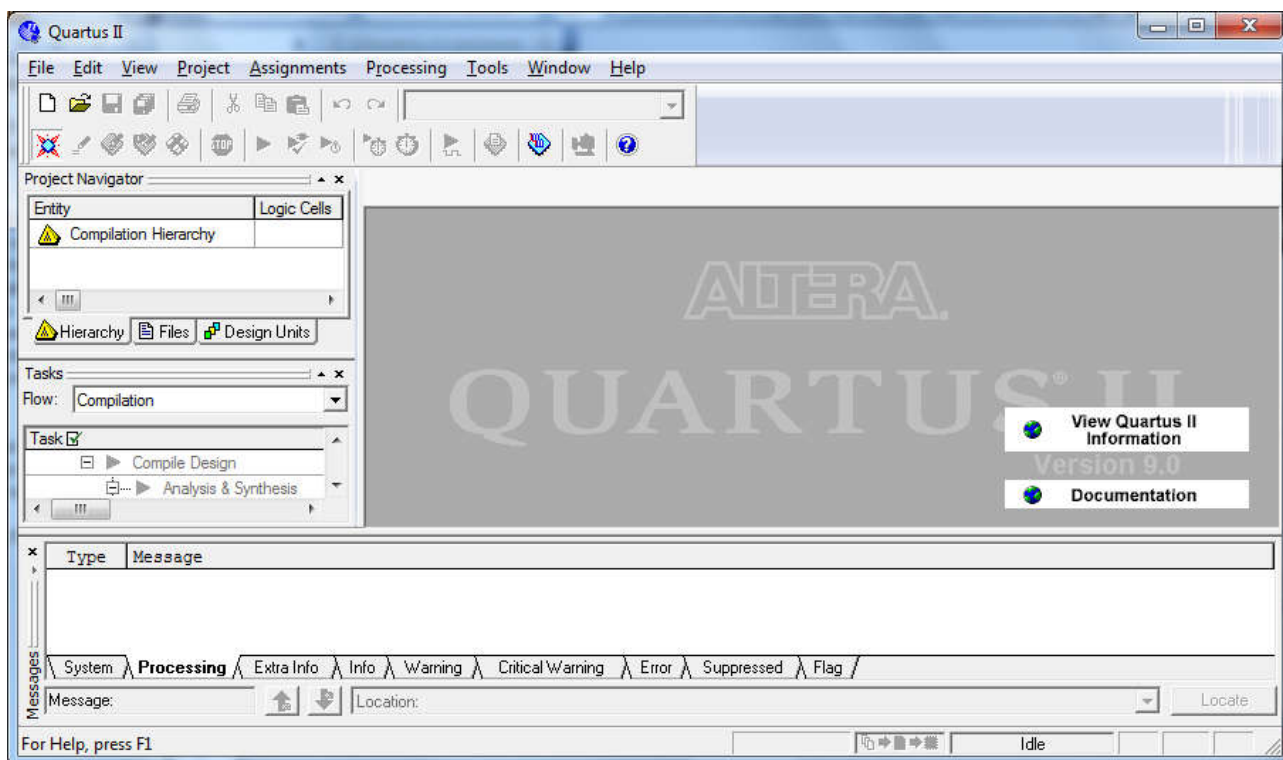
1. Опис та симуляція моделей цифрових пристроїв на Verilog : Метод. вказівки до викон. розрахунково-графічної роботи для студ. спец. «Радіoeлектронні апарати та засоби», «Інтелектуальні технології мікросистемної радіoeлектронної техніки», «Біотехнічні та медичні апарати і системи» / Уклад.: В.С. Мосійчук. – К. : НТУУ «КПІ», 2012. – 35 с. – Режим доступу: http://ros.kpi.ua/downloads/CXT_EA_RGR.pdf
2. Угрюмов Е. П. Цифровая схемотехника / Е. П. Угрюмов. – СПб. : БХВ-Петербург, 2004. – 528 с. – Библиогр. : ISBN 5-8206-0100-9.
3. Рябенський В. М. VERILOG. Практика проектування цифрових пристроїв на ПЛІС : Навч. посіб. / В.М. Рябенський, О.О. Ушкаренко ; Нац. ун-т кораблебудування ім. адм. Макарова. – Миколаїв : Іліон, 2007. – 324 с.
4. Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры / А.К. Поляков. – М. : СОЛОН-Пресс, 2003. – 320 с. – Библиогр. : ISBN 5-08003-016-6.
5. Harris D. M. Digital Design and Computer Architecture / D.M. Harris , S. L. Harris. ; Sec. Ed. – Morgan Kaufmann, 2013. – 560 с. – ISBN 978-0-12-394424-5.
6. Ciletti M. D. Advanced Digital Design with the Verilog HDL / M.D. Ciletti. – Prentice Hall. – 982 p. – ISBN 978-0-13-089161-7.

ДОДАТКИ

Додаток А

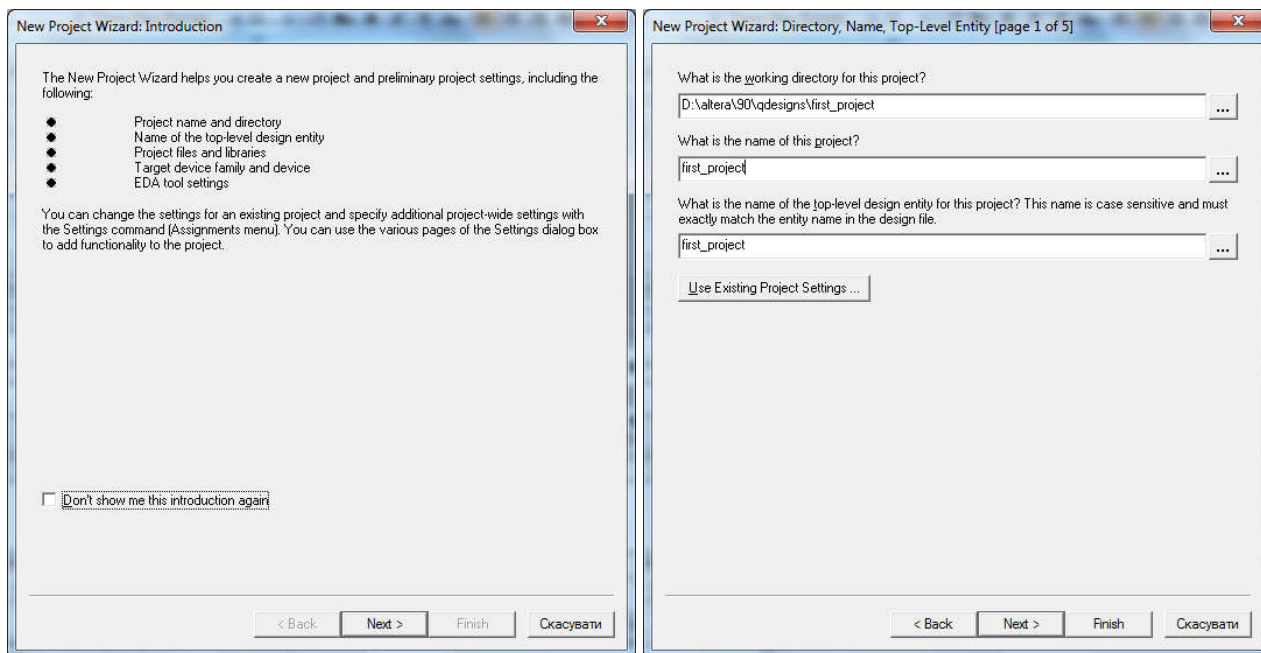
СТВОРЕННЯ ПРОЕКТУ У САПР Quartus II

1. Загальний вигляд та інтерфейс Quartus II

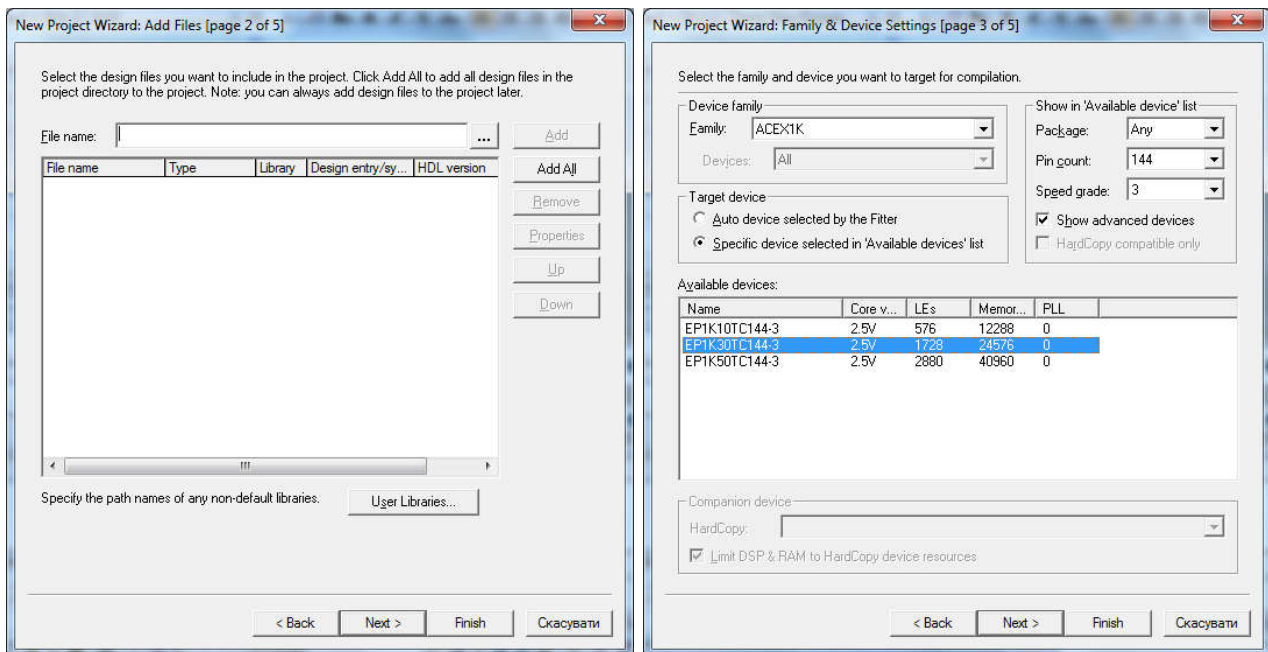


2. Створення нового проекту.

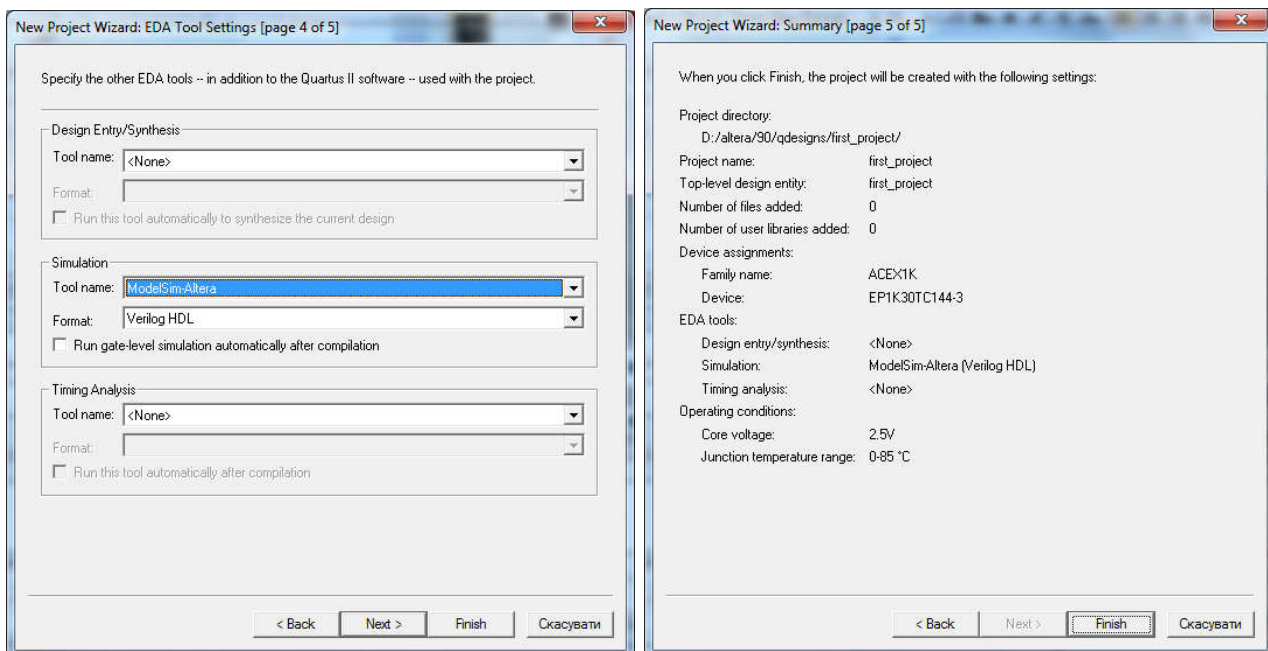
У меню “File” слід обрати “New Project Wizard” та слідувати інструкціям.



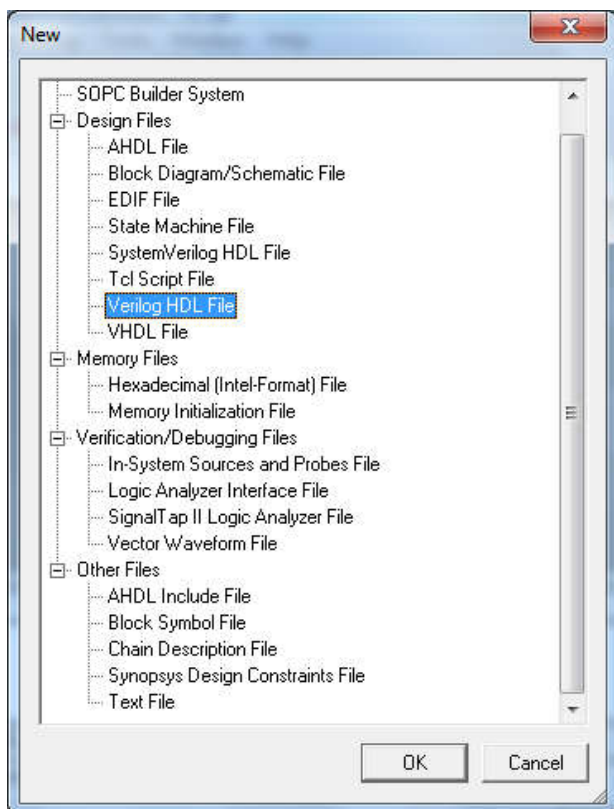
3. На кроці 1 слід вказати директорію для збереження проекту та його назву. На кроці 2 можливо у проект додати файли, якщо такі вже перед цим були створені. На кроці 3 слід обрати сімейство та модель ПЛІС.



4. На кроці 4 вказуємо засоби третіх розробників у разі потреби. Ми обираємо для симуляції "ModelSIM-Altera". На кроці 5 можливо перевірити всі попередні налаштування.



5. Після створення проекту додаємо до нього новий файл з описом комбінаційної схеми. В меню "File -> New-> Verilog HDL File" .



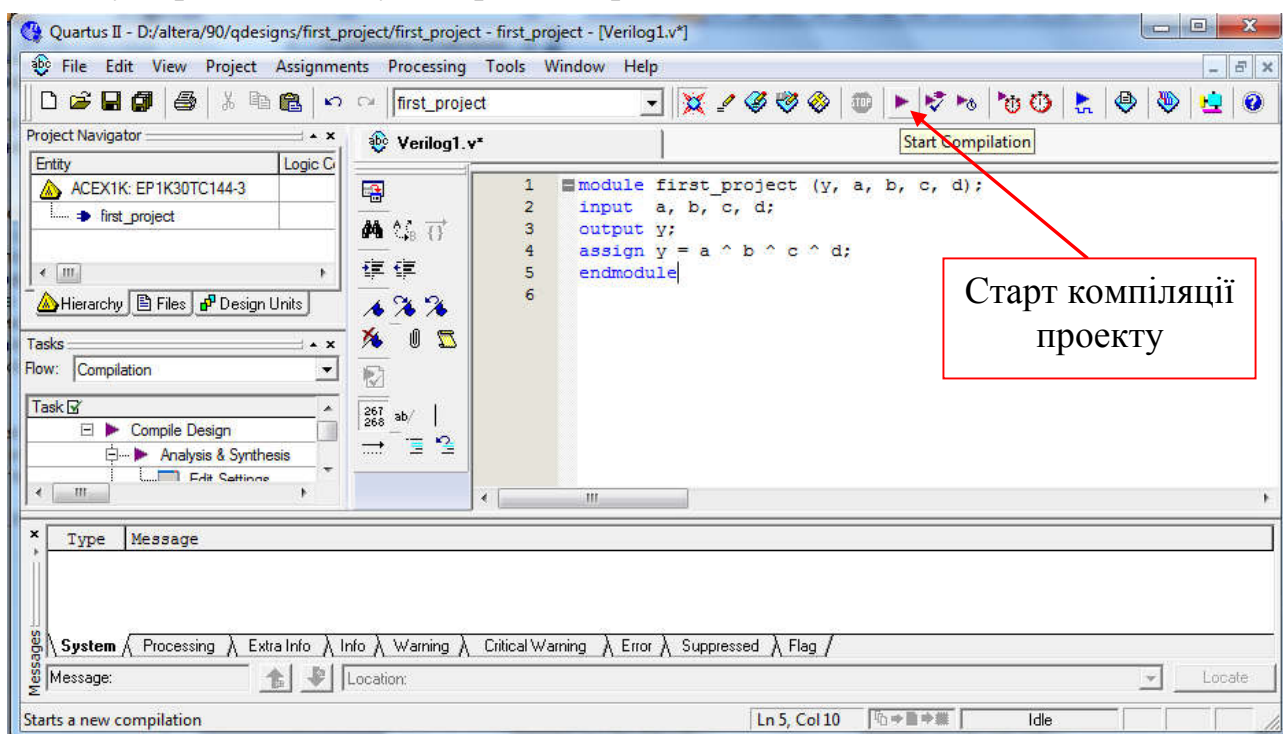
Опис комбінаційної схеми

```

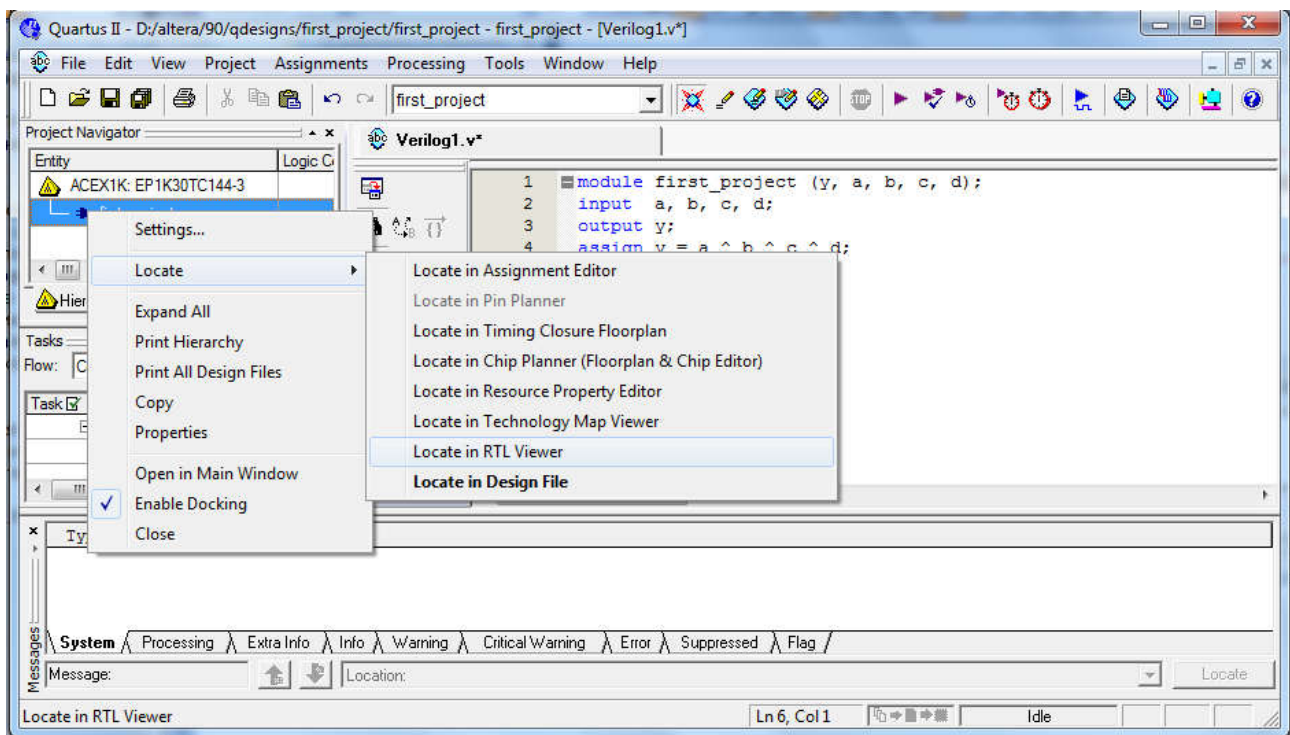
module first_project
  (y, z, a, b, c);
input  a, b, c;
output y, z;
    assign y = (a&b) | (a& ~b & c);
    assign z = (a&b) | (~a & ~b);
endmodule

```

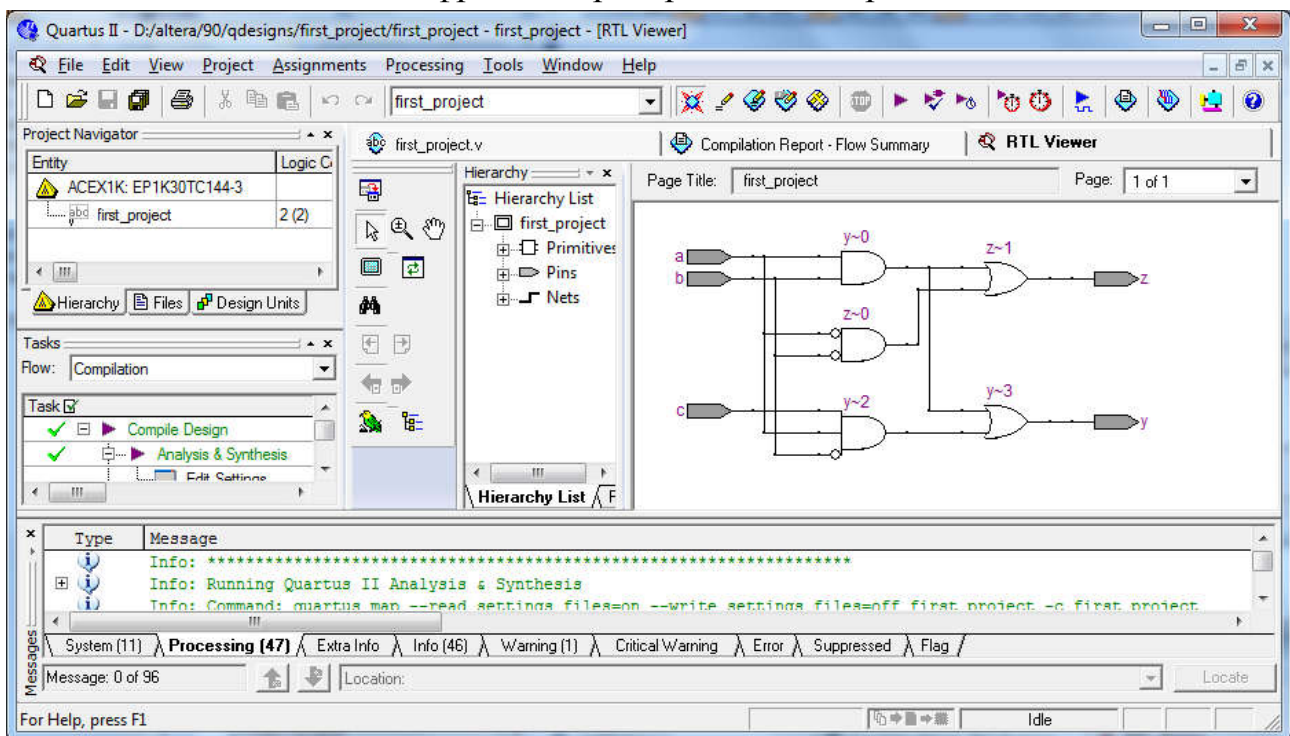
6. Після того, як опис введено можливо розпочати процес компіляції та синтезу. Проект та модуль верхнього рівня мають мати однакові назви.



7. У разі успішного компіляції та синтезу проекту можливо переглянути схему синтезованого цифрового пристрою на RTL рівні. Для цього на назві проекту слід правою клавішею миші відкрити контекстне меню, далі "Locate -> Locate in RTL Viewer".



8. Схема синтезованого цифрового пристрою на RTL рівні.



Додаток Б

ТЕСТУВАННЯ МОДУЛІВ ЦИФРОВИХ ПРИСТРОЇВ В ModelSIM

У **Quartus** відсутня можливість проведення тестування за допомогою VerilogHDL, проте наявна можливість інтеграції з спеціалізованим програмним забезпеченням, таким як, ModelSIM. Для його використання необхідно виконати наступні налаштування. У меню (рис. В.1) **Assignments > EDA Tool Settings > Simulation** у вікні **Settings** (рис. В.2) необхідно вказати ModelSim Altera, мову опису цифрових пристроїв VerilogHDL та файл testbench.

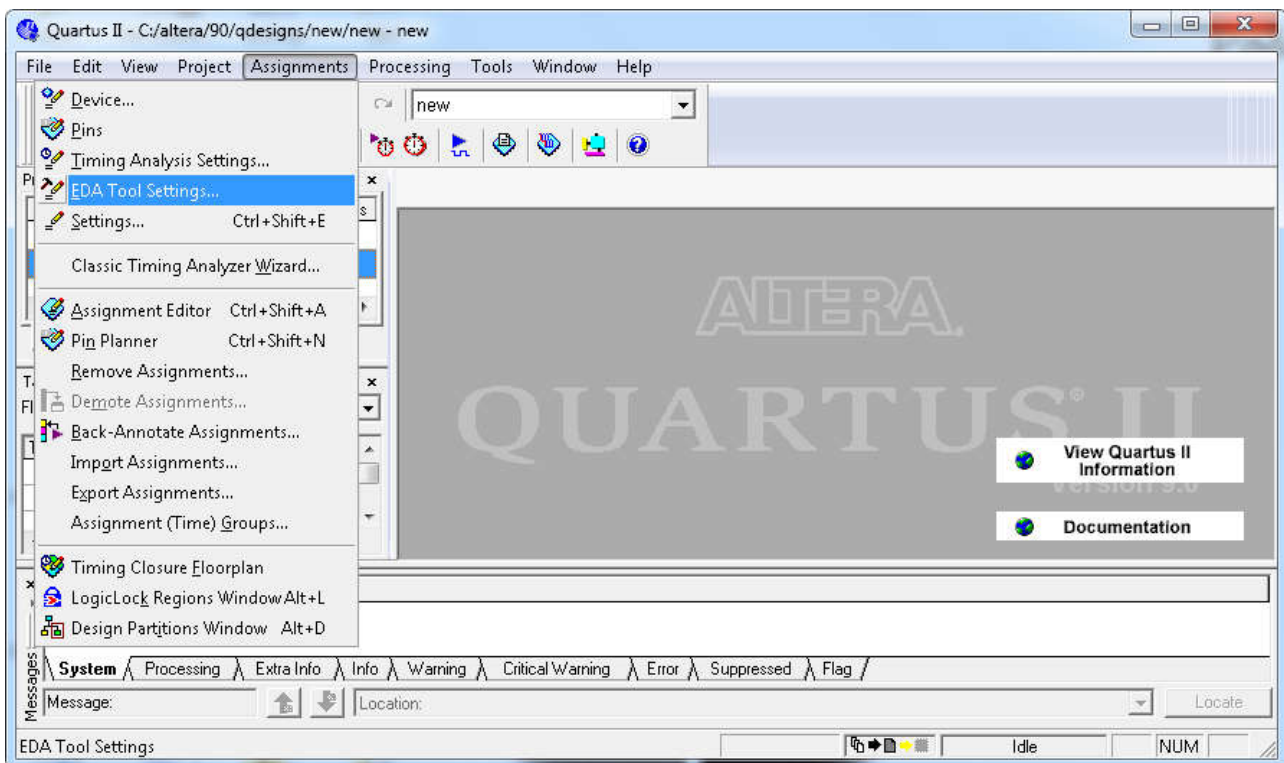


Рис. В.1 – Шлях до вікна з налаштуванням симуляції

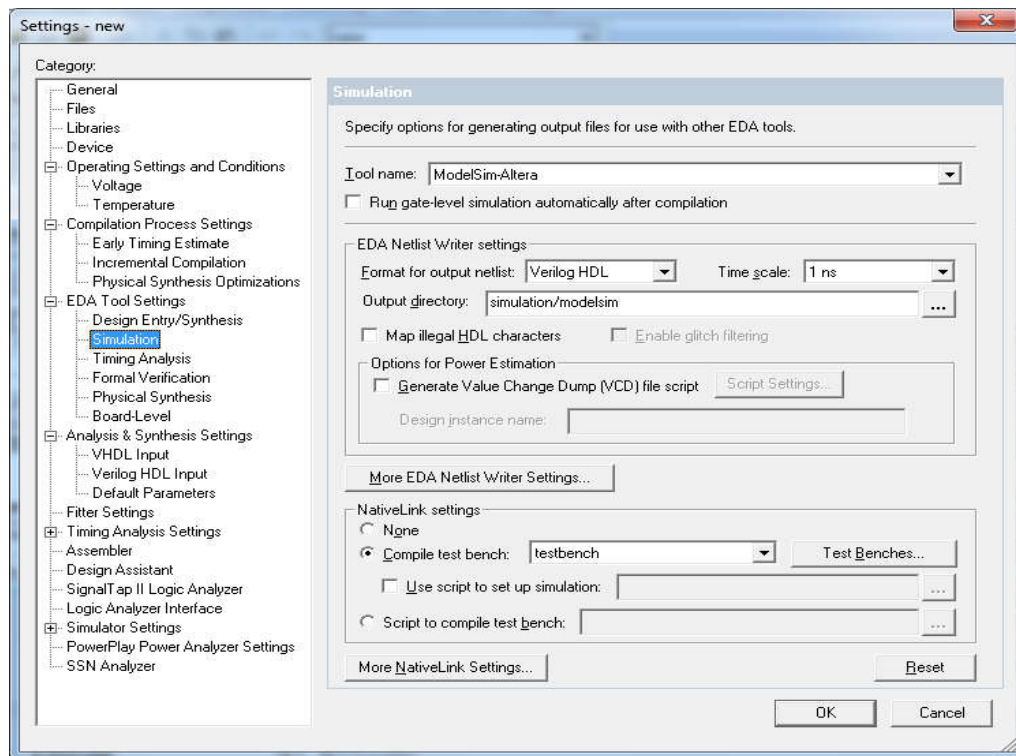


Рис. В.2 – Вибір засобів симуляції та їх налаштування

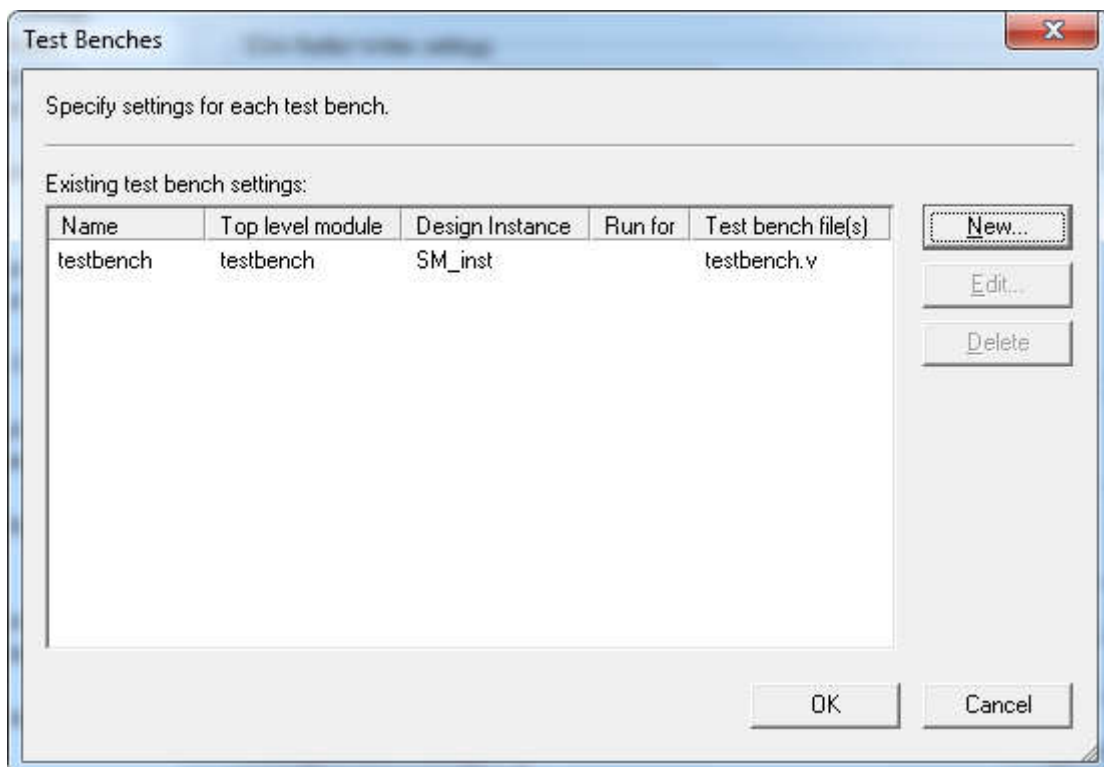


Рис. В.3 – Налаштування testbench

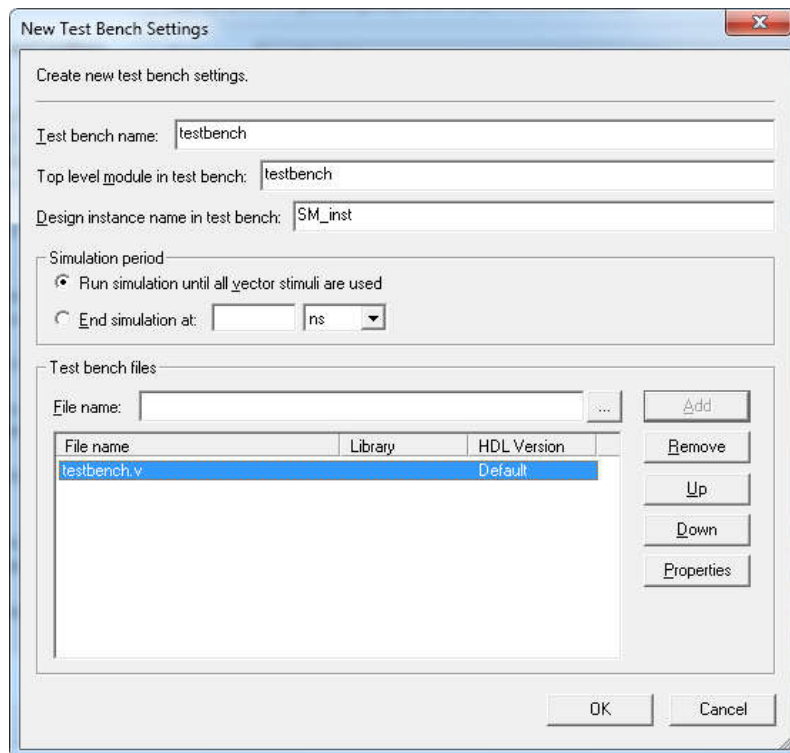


Рис. В.4 – Налаштування testbench

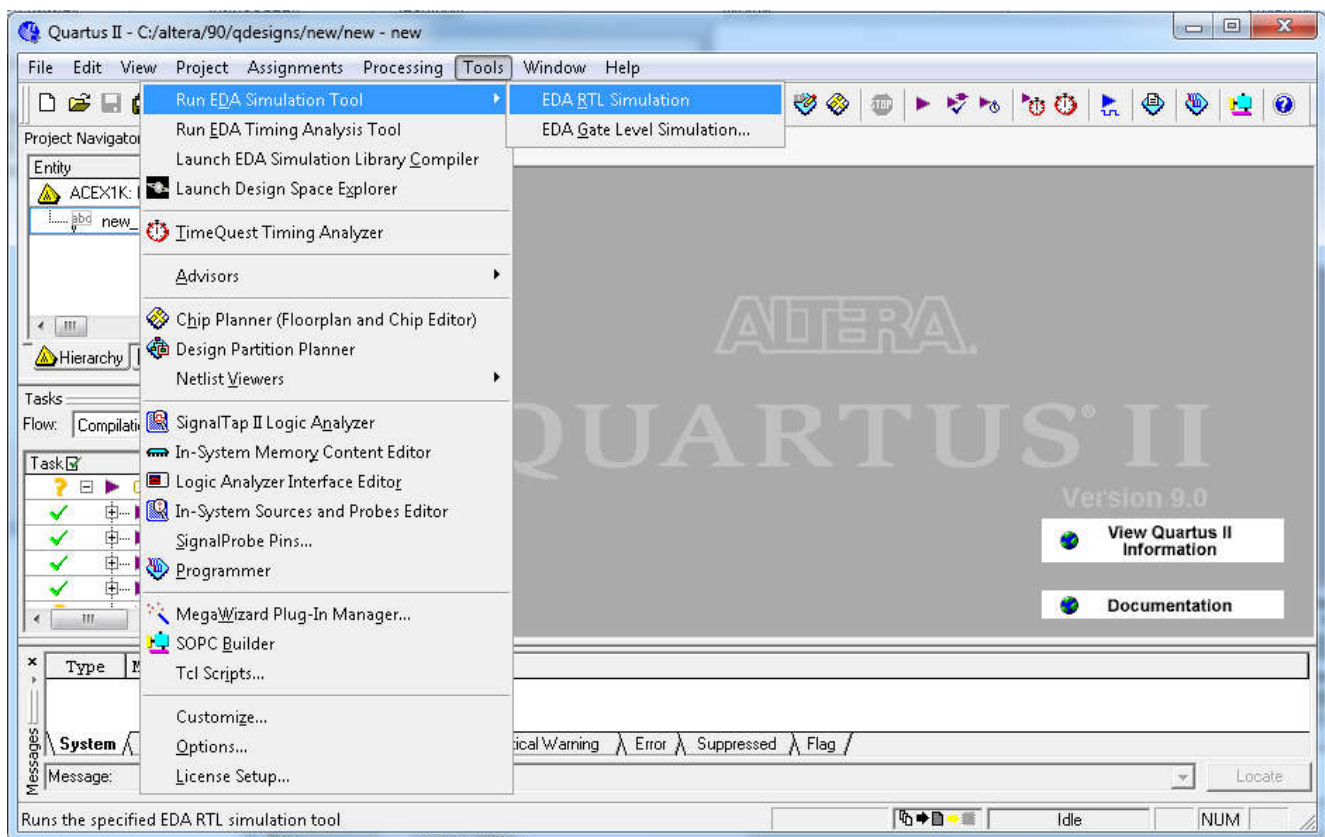


Рис. В.5 – Запуск ModelSIM з меню Quartus

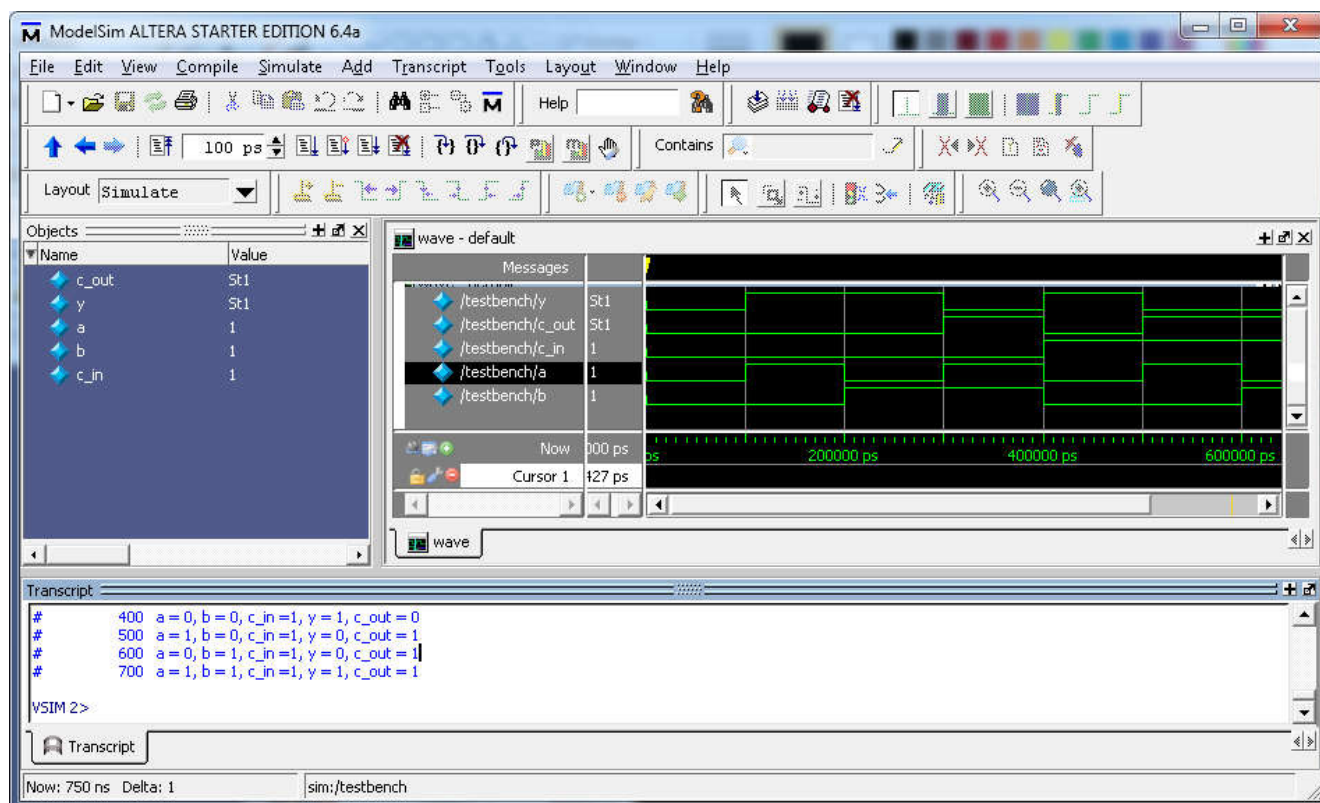


Рис. В.6 – Тестові вектори та консоль ModelSIM згенеровані на основі компіляції тестового модуля (testbench)