

Практична робота № 3

Програмування лабораторного навчального стенду ПЛІС

1. Мета роботи.

Набуття досвіду програмування ПЛІС для реалізації цифрових пристроїв в САПР QUARTUS II, експериментальне дослідження пристроїв, реалізованих на основі лабораторного навчального макету (ЛНМ).

2. Завдання для виконання практичної роботи.

2.1. Для зпроектованого на попередніх практичних заняттях цифрового пристрою виконати призначення виводів ПЛІС EPC1K30TC144-3 фірми ALTERA у відповідності з реалізованою схемою і можливостями ЛНМ.

2.2. Виконати програмування ПЛІС за допомогою паралельного інтерфейсу JTAG.

2.3. Дослідити роботу реалізованого цифрового пристрою.

3. Опис лабораторного навчального стенду.

Для виконання практичних робіт розроблений макет, структурна схема якого показана на рис. 6.1, а фото – на рис. 6.2. Розміщені на ньому пристрої вводу і виводу забезпечують наочність результатів при функціонуванні реалізованих схем.

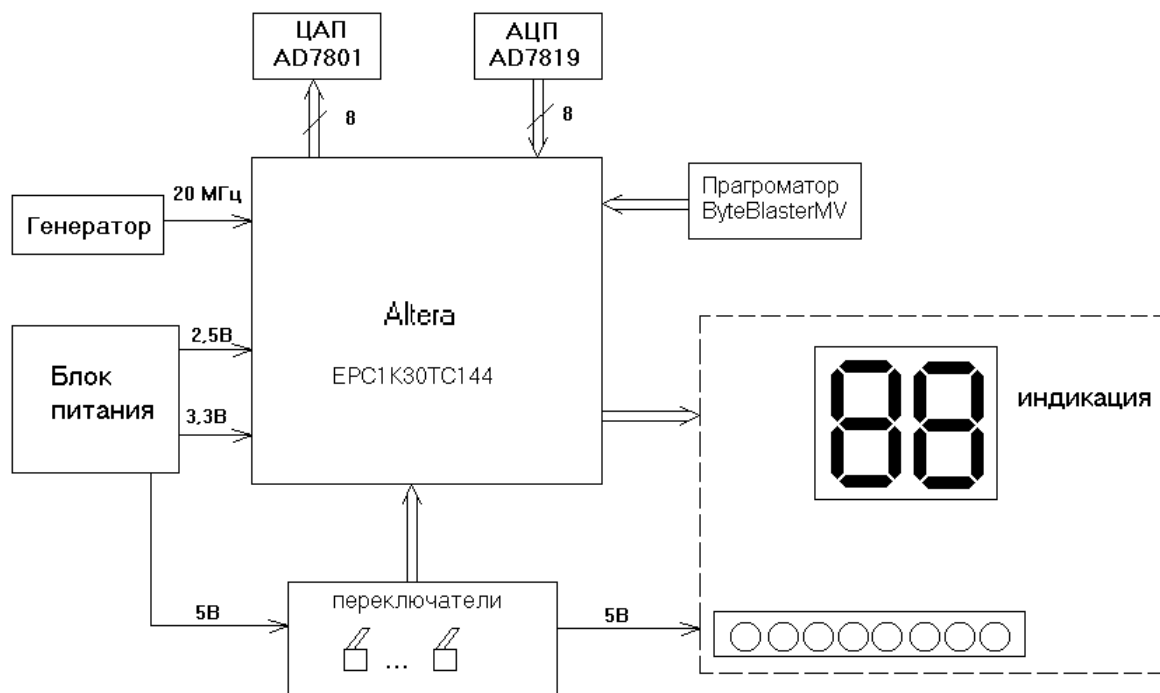


Рис 6.1. Структурна схема лабораторного навчального макету

Основні складові макету:

- ПЛІС - EPC1K30TC144-3 фірми ALTERA, сімейства ACEX;
- Генератор - кварц 20 МГц;
- Блок живлення із входною напругою 12 В, який формує внутрішні вихідні напруги 2.5В, 3.3В, 5В.

Пристрої вводу і виводу:

- АЦП - Восьмирозрядний АЦП AD7819 фірми Analog Devices з паралельним виходом;
- ЦАП - Восьмирозрядний ЦАП AD7801 фірми Analog Devices з паралельним завантаженням;
- 10 двохпозиційних перемикачів.

Елементи індикації:

- Два семисегментні індикатори;
- Вісім світлодіодів.

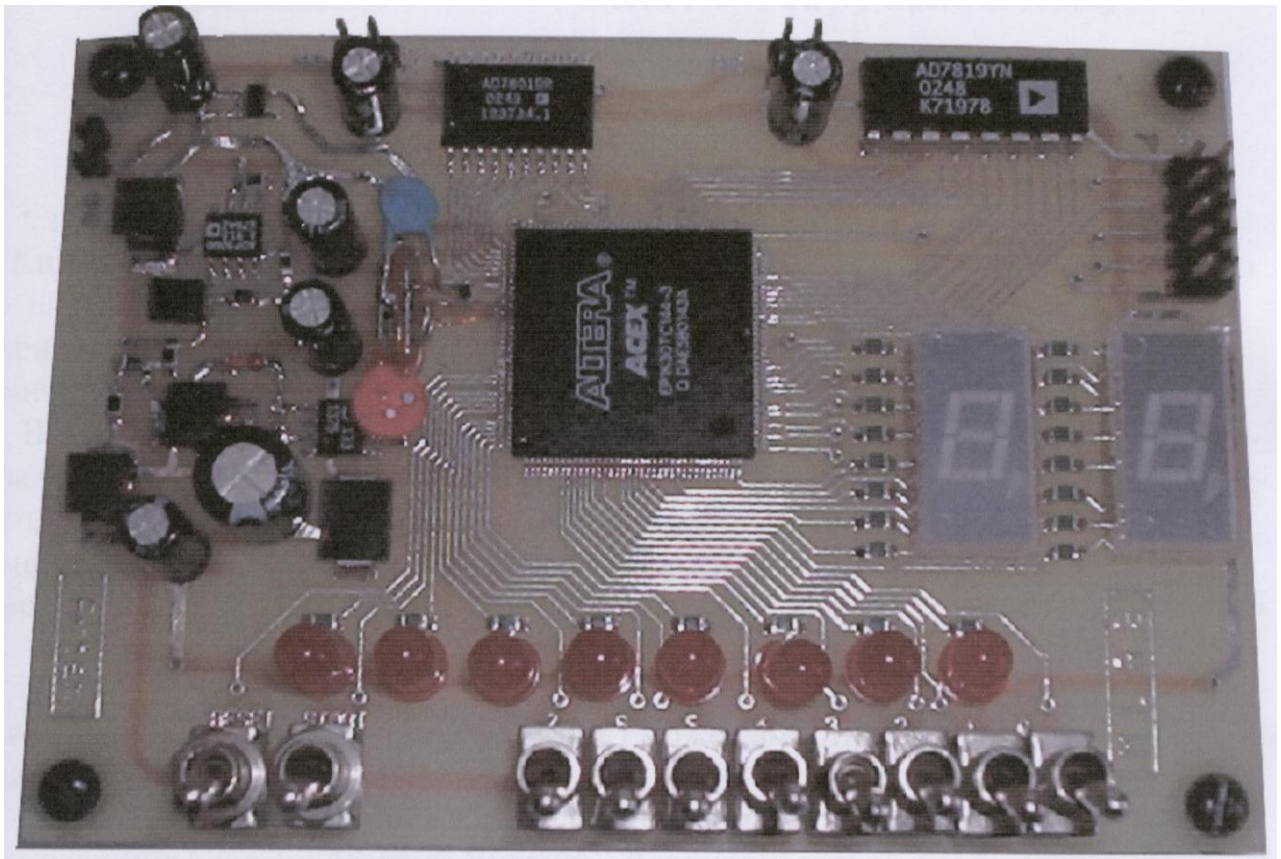


Рис. 6.2. Загальний вигляд плати лабораторного навчального макету ПЛІС

3.1. Програмована інтегральна логічна схема EP1K30TC144-3.

Пристрій сімейства ACEX представляє собою дешеву і швидкодіючу архітектуру.

Основні характеристики EP1K30TC144-3:

- логічна ємність еквівалентних вентилів - 30000
- максимальне число системних елементів - 119000
- число логічних елементів - 1728
- число логічних блоків - 6
- максимальний обсяг ОЗП (біт) - 24576
- число виводів входу/виходу – 98 в корпусі типу TQFP з 144 виводами

Структурна схема ПЛІС показана на рис. 6.3.

В основі архітектури лежать логічні блоки, що мають в складі 8 логічних елементів (ЛЕ) і локальну матрицю з'єднань. Глобальна матриця з'єднань (ГМС) розділена на рядки і стовпці, має безперервну структуру (Fast Track Interconnect). Посередині рядка розміщені

вбудовані блоки пам'яті (ВБП). Крім того, є глобальні кола керування, синхронізації і керування вводом/виводом.

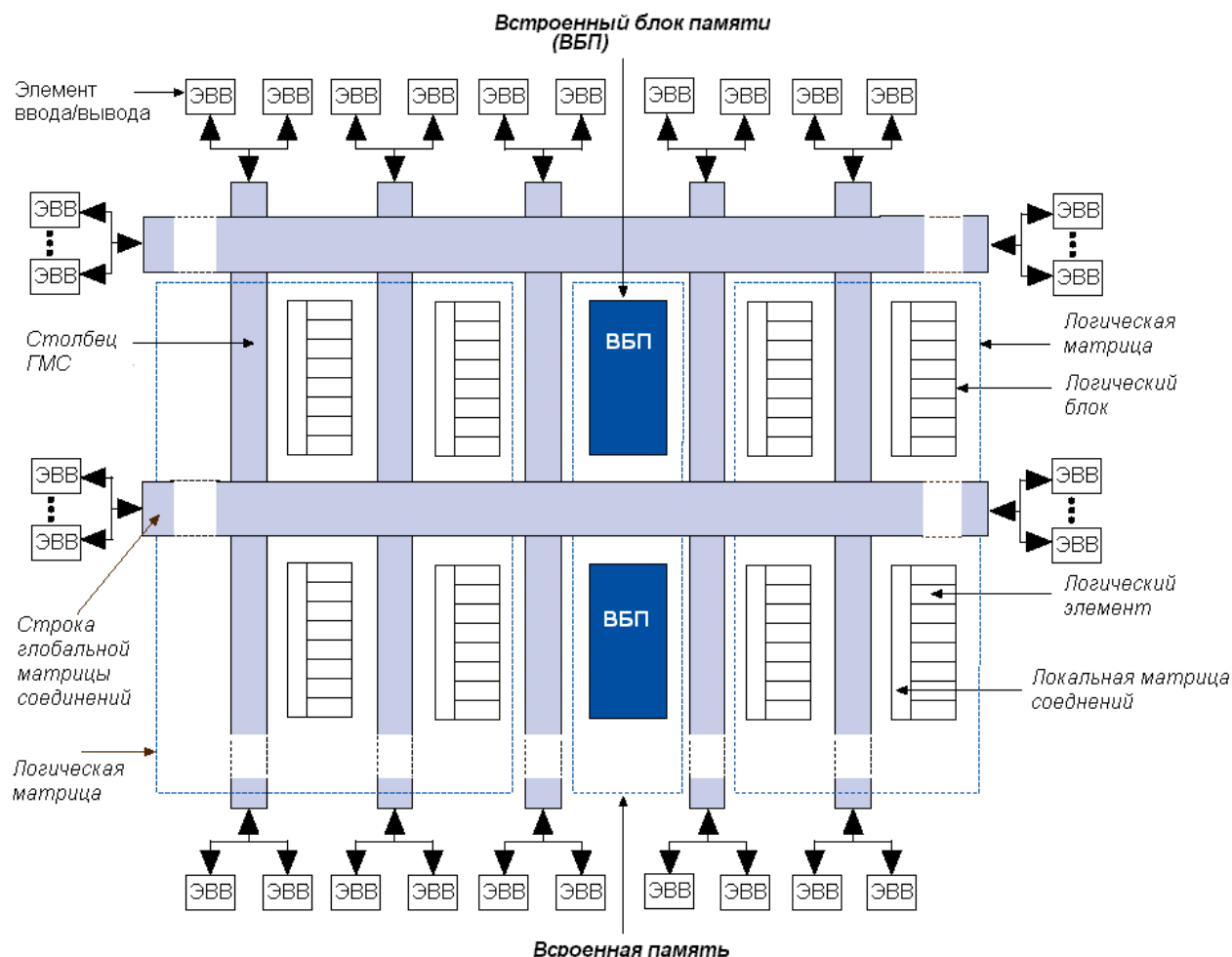


Рис. 6.3. Структурна схема ПЛИС

Вбудований блок пам'яті являє собою оперативний запам'ятовуючий пристрій (ОЗП) ємністю 4096 біт і складається із локальної матриці з'єднань, власне модуля пам'яті, синхронних буферних регістрів, а також програмованих мультиплексорів.

Сигнали на вхід локальної матриці з'єднань (ЛМЗ) ВБП поступають із рядка ГМЗ. Тактуючі і сигнали керування поступають із глобальної шини сигналів керування. Вихід ВБП може бути зкомутований як на рядок, так і на стовпець ГМЗ.

Наявність синхронних буферних регістрів і програмованих мультиплексорів дозволяє конфігурувати ВБП як запам'ятовуючий пристрій з організацією 256x16, 512x8, 1024x4, 2048x2, 4096x1.

Наявність ВБП дає можливість табличної реалізації таких елементів пристроїв ЦОС, як перемножувачі, арифметичні логічні пристрої (АЛП), суматори і т.п., які мають швидкодію до 50 МГц.

Живлення мікросхеми 2.5, 3.3 і 5В необхідні для підтримки інтерфейсу з відповідними рівнями 2.5, 3.3 і 5В.

Конфігурація ПЛИС EPC1K30TC144-3 виконується за допомогою програматора ByteBlasterMV.

3.2. Генератор тактування.

Генератор зібраний на кварці з частотою 20 МГц. Кварц під'єднаний до 120 і 121 виводів ПЛІС (рис. 6.4):

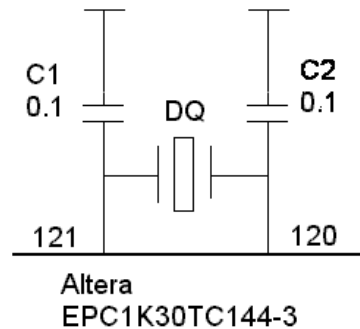


Рис. 6.4. Схема під'єднання кварцу

Для правильної роботи генератора ці виводи потрібно зконфігурувати так, як показано на рис.6.5. Різниця, який із них вхід, а який вихід немає.

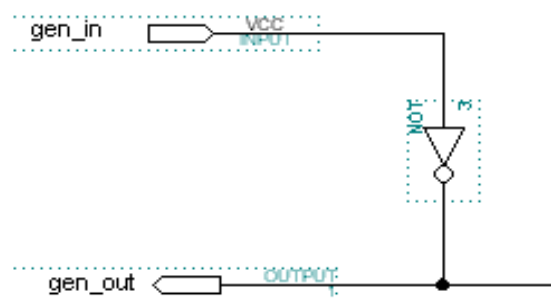


Рис. 6.5. Схема конфігурації генератора ПЛІС.

3.3. 8-ми розрядний аналого-цифровий перетворювач AD7819

AD7819 - це високошвидкісний, процесорно сумісний, 8-ми розрядний аналого-цифровий перетворювач з максимальною продуктивністю 200 kSPS.

Функціональна структурна схема АЦП показана на рис. 6.6.

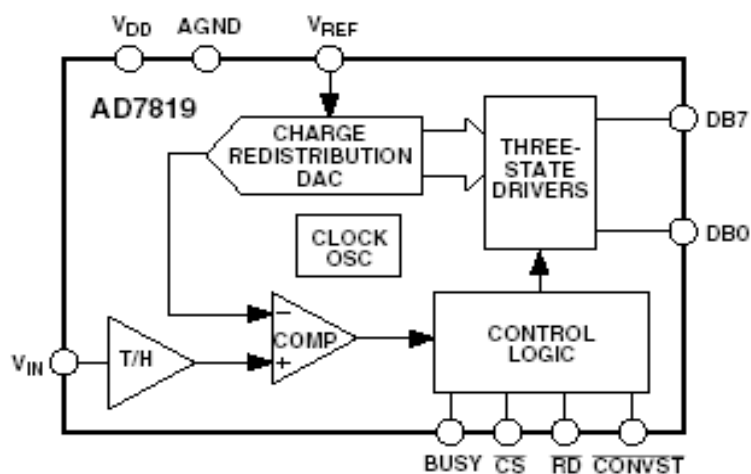


Рис. 6.6. Структурна схема ЦАП.

Опис контактів АЦП приведений в табл. 6.1.

Номер виводу мікросхеми	Позначення	Опис	Номер приєднаного до мікросхеми виводу ПЛІС
1	V_{REF}	Опорна напруга (від 1,2В до V_{DD})	
2	V_{IN}	Аналоговий вхід (від 0 до V_{REF})	
3	GND	Аналогова і цифрова земля.	
4	#CONVST	Сигнал початку перетворення.	82
5	#CS	Chip Select. Логічний вхід вибору мікросхеми.	67
6	#RD	Дозвіл читання. Коли #CS низький і стає низьким #RD, то на шині даних встановлюються дані.	64
7	BUSY	Сигнал зайнятості перетворювача.	62
8	DB0	Вихідні дані (виходи мають три стани).	59
9	DB1		60
10	DB2		63
11	DB3		65
12	DB4		81
13	DB5		83
14	DB6		86
15	DB7		87
16	V_{DD}	Напруга живлення (від 2,7В до 5,5В)	

Паралельний інтерфейс AD7819 організований за допомогою 8-ми розрядної шини. Буфери вихідних даних активні, якщо обидва #CS і #RD мають низький рівень. На рис. 6.7 показані часові діаграми для паралельного порта.

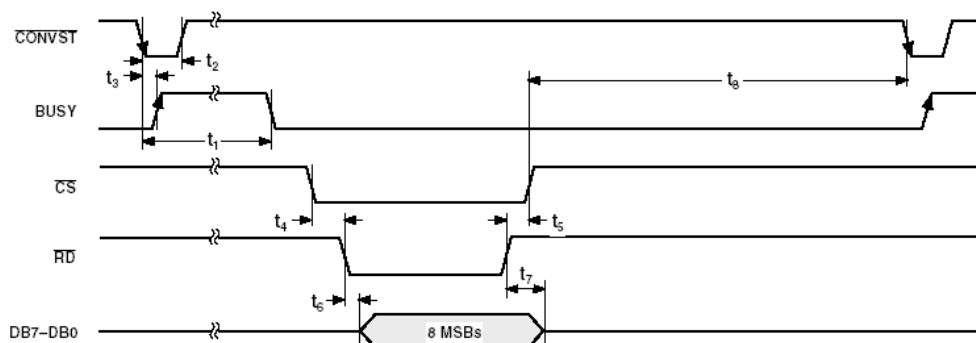


Рис. 6.7. Часові діаграми сигналів керування АЦП.

Часові характеристики АЦП

Таблиця 6.2

Параметр	Значення ($V_{DD}=3В$)	Одиниця вимірювання	Опис
t_1	4.5	μs (max)	Час перетворення.
t_2	30	ns (min)	Тривалість #CONVST.
t_3	30	ns (max)	Затримка між початком #CONVST і реакцією BUSY.
t_4	0	ns (min)	Час встановлення #RD відносно #CS.
t_5	0	ns (min)	Час утримання #CS після встановлення #RD у високий рівень.
t_6	10	ns (max)	Час до появи даних після встановлення #RD у низький рівень.
t_7	10	ns (max)	Затримка даних після встановлення #RD у високий рівень.
t_8	100	ns (min)	Час для підготовки до початку наступного перетворення.

Для контролю роботи шини АЦП можна під'єднати до світлодіодів. В результаті при збільшенні рівня сигналу відбувається засвічування світлодіодів відповідних розрядів шини.

3.4. 8-ми розрядний цифро-аналоговий перетворювач AD7801

AD7801 - це 8-ми розрядний цифроаналоговий перетворювач, який має паралельний процесорно і ЦСП (DSP) сумісний інтерфейс.

Структурна схема ЦАП показана на рис. 6.8.

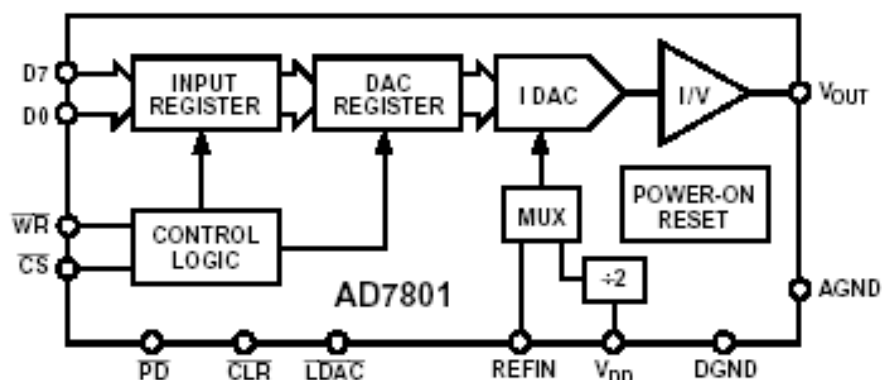


Рис. 6.8. Структурна схема ЦАП.

Опис контактів, а також номери виводів ПЛІС, до яких приєднані відповідні виводи мікросхеми ЦАП, приведені в таблиці 6.3.

Опис контактів ЦАП

Таблиця 6.3

Номер виводу мікросхеми	Позначення	Опис	Номер приєданого до мікросхеми виводу ПЛІС
1	DB7	8 бит вхідних даних, що завантажуються у вхідний регістр під керуванням #CS і #WR	116
2	DB6		114
3	DB5		113
4	DB4		112
5	DB3		111
6	DB2		110
7	DB1		109
8	DB0		97
9	#CS	Chip Select. Логічний вхід вибору мікросхеми (активний низький рівень).	96
10	#WR	Вхід запису (активний низький рівень).	95
11	DGND	Цифрова земля.	
12	#PD	Вибір режиму низького енергоспоживання (активний низький рівень). (В макеті не використовується)	
13	#LDAC	Load DAC. Завантаження ЦАП.	
14	#CLR	Вхід асинхронного скидання. При встановленні низького рівня на виході встановлюється 0.	
15	V _{DD}	Вхід живлення (3.3 В).	
16	REFIN	Зовнішня опорна напруга.	
17	AGND	Аналогова земля.	
18	NC	Не використовується.	
19	V _{OUT}	Аналоговий вихід.	
20	DGND	Цифрова земля.	

Паралельний інтерфейс AD7801 організований за допомогою 8-ми розрядної шини. На рис.6.19 приведені часові діаграми для паралельного порта.

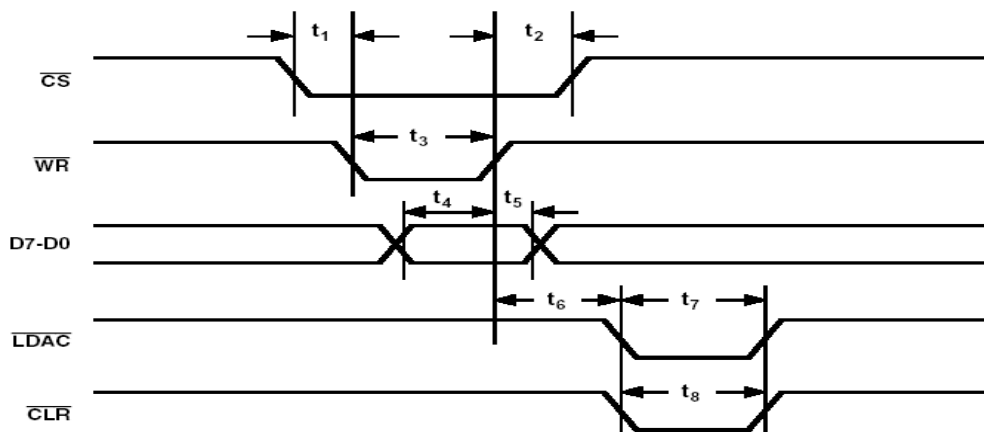


Рис. 6.9. Часові діаграми паралельного порту ЦАП

Часові характеристики ЦАП

Таблиця 6.4

Параметр	Значення	Одиниця вимірювання	Опис
t_1	0	ns min	Час від початку строба $\#CS$ до початку строба $\#WR$
t_2	0	ns min	Час між стробами $\#CS$ і $\#WR$ при встановленні рівня.
t_3	20	ns min	Тривалість стробу $\#WR$.
t_4	15	ns min	Час встановлення даних.
t_5	4.5	ns min	Час утримання даних.
t_6	20	ns min	Початок стробу $\#LDAC$.
t_7	20	ns min	Тривалість стробу $\#LDAC$.
t_8	20	ns min	Тривалість стробу $\#CLR$.

3.5. Двохпозиційні перемикачі і зовнішні входи/виходи макету.

Дані перемикачі використовуються, щоб задати рівень логічної одиниці або нуля на відповідних входах ПЛІС. Вони також можуть бути використані для вводу паралельного коду керування (байт даних). Окремо розміщені два перемикачі для подачі сигналу Reset і Start. Схема з'єднання двохранозиційних перемикачів із ПЛІС приведена на рис. 6.10.

Для подачі вхідного аналогового сигналу призначений вивід IN, а для виводу – вивід OUT. Необхідні внутрішні напруги формуються вбудованим джерелом живлення із вхідної напруги 12 В зовнішнього джерела живлення.

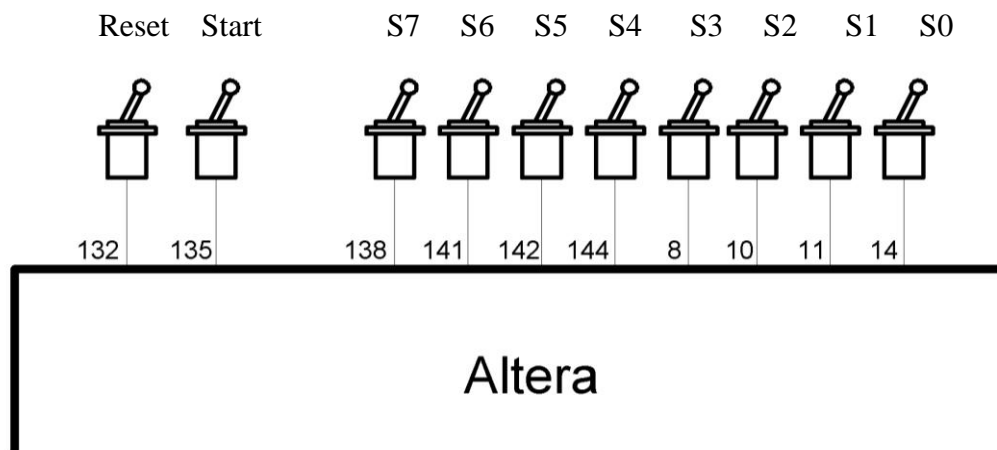


Рис. 6.10. Схема з'єднання двохранозиційних перемикачів із ПЛІС

Для програмування мікросхеми використовується вилка JTAG і в таблиці 6,5 приведені призначення сигналів вилки програмування і відповідність їх контактам.

Контакти вилки програмування

Таблиця 6.5.

Контакт	Сигнал JTAG	Призначення
1	TCK	Тактові імпульси
2	GND	Земля
3	TDO	Вихід даних
4	VCC +	Напруга живлення
5	TMS	Керування кінцевим автоматом JTAG
6		Не задіяний
7		Не задіяний
8		Не задіяний
9	TDI	Вхід даних
10	TRST	Не задіяний

3.6. Світлодіоди і семисегментні індикатори

Світлодіоди і семисегментні індикатори під'єднані за схемою із “спільним анодом”. Це необхідно враховувати при виконанні лабораторних завдань: щоб відповідний сегмент або діод засвітився - на нього потрібно подавати логічний нуль. Схеми з'єднання семисегментних індикаторів та світлодіодів із ПЛІС приведені на рис. 6.11 і 6.12.

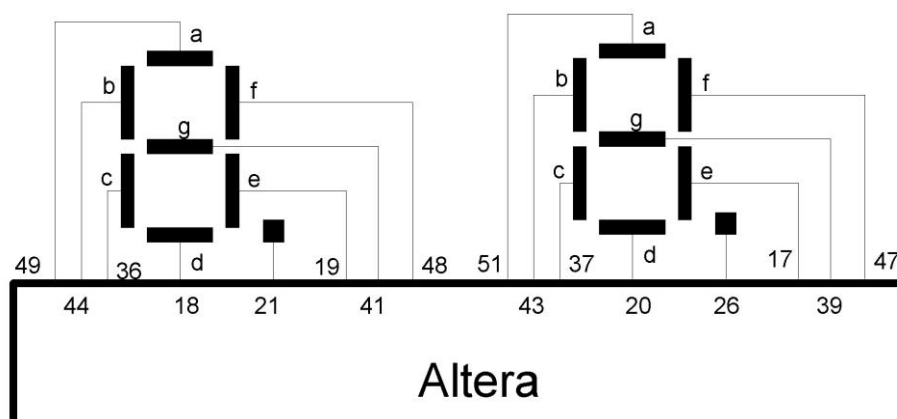


Рис. 6.11. Схема з'єднання семисегментних індикаторів із ПЛІС.

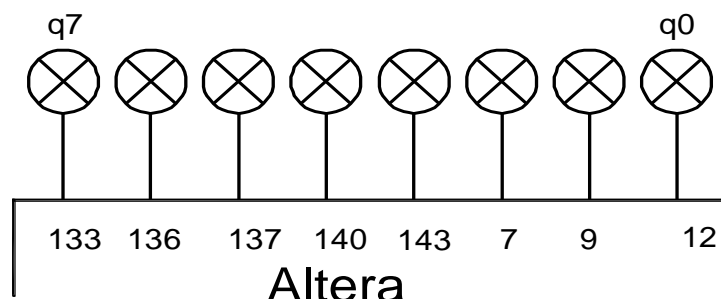


Рис. 6.12. Схема з'єднання світлодіодів із ПЛІС.

4. Призначення виводів ПЛІС в лабораторному навчальному стенді.

Щоб додати, замінити або відмінити призначені в даному проекті іменам ліній відповідні виводи мікросхеми ПЛІС, вибраної для реалізації проекту, а також зарезервувати виводи для подальшого використання, необхідно:

1. Відкрийте існуючий, або створіть новий проект.
2. Призначте файлу самий високий рівень в проекті.

3. Виберіть пункт **Settings** (меню *Assignments*).
4. У вікні **Category**, виберіть **Device**.
5. В розділі **Target Device**, виберіть **Specific device selected in the 'Available devices' list**.
6. Для відбору мікросхем вибраного сімейства, із яких буде вибирати ПЛІС для реалізації пристрою, відзначте в **Show in 'Available devices' list** необхідні параметри в розділах **Package** (тип корпусу), **Pin count** (число виводів), або **Speed grade** (швидкісні характеристики).
7. Якщо бажаєте вибрати мікросхему із пристроїв, що будуть реалізовані в перспективі, ввімніть **Show Advance Devices**.
8. Виберіть мікросхему ПЛІС в списку **Available device** (рис. 6.13).

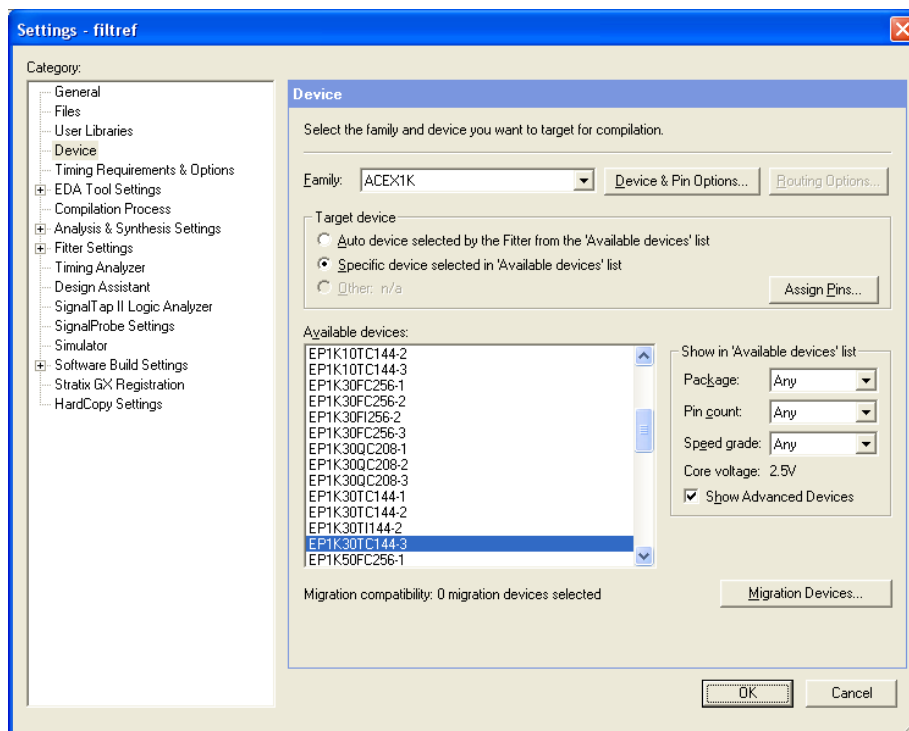


Рис. 6.13. Вибір сімейства і мікросхеми ПЛІС для проекту.

9. Натисніть **Assign Pins**.
10. В діалоговому вікні **Assign Pins** для того, щоб побачити, які виводи не можуть бути призначені іменам ліній у списку **Available pins & existing assignments** ввімкніть **Show 'no connect' pins** (рис.6.14).

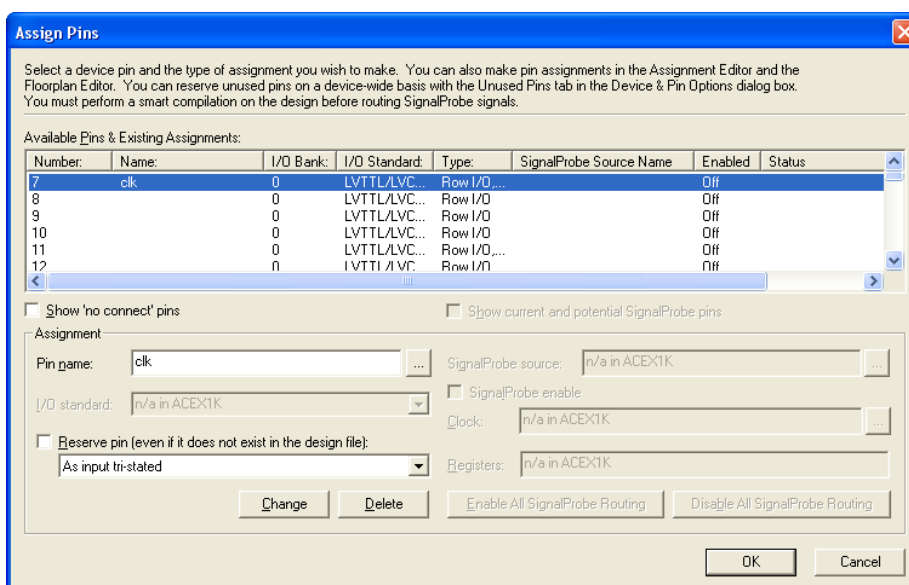


Рис. 6.14. Діалогове вікно призначення виводів ПЛІС іменам ліній.

11. У списку **Available pins & existing assignments** виберіть номер того виводу, який бажаєте призначити, замінити, або відмінити призначення для імені лінії.
12. Для видалення імені лінії, призначеної для виводу, в **Assignment** натисніть **Delete**.
13. Для призначення нового імені лінії для виводу або заміни існуючого призначення імені лінії для виводу в **Assignment** введіть ім'я лінії в рядку **Pin name**.

або

Виконайте копіювання імені лінії в діалогове вікно **Assign Pins** за допомогою шукача ліній (Node Finder) (рис. 6.15) , перейшовши до нього натиснувши клавішу правіше рядка вводу **Pin name**.

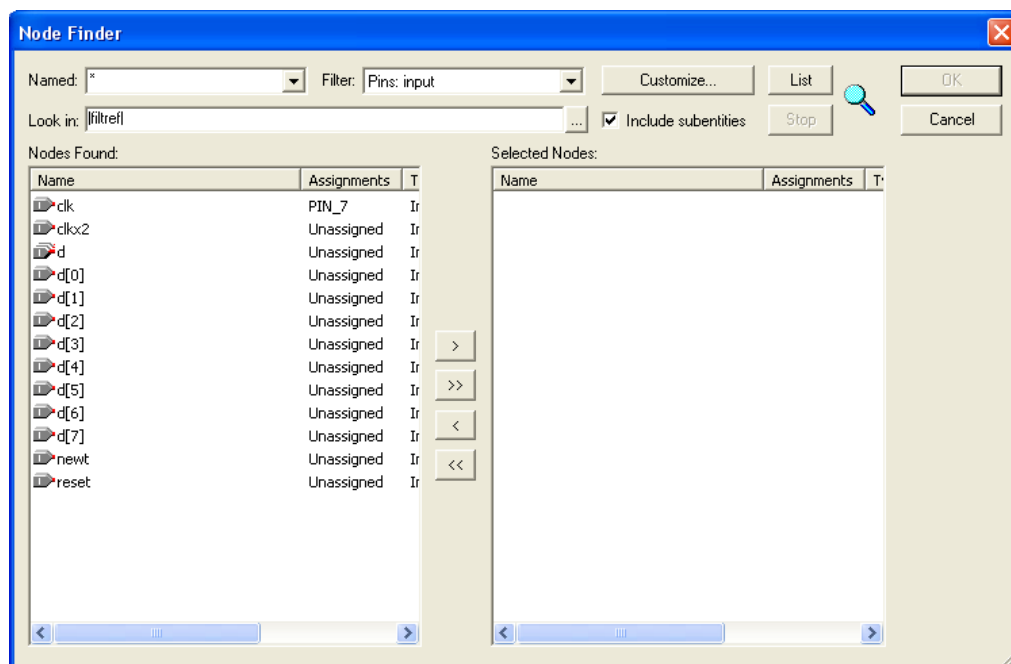


Рис.6.15. Вікно пошуку імен ліній, використаних в проекті.

14. Якщо ви додали чи змінили ім'я лінії, призначеної для виводу і бажаєте призначити **I/O standard** для виводу, в **Assignment** виберіть параметр в списку **I/O Standard**.
15. Якщо змінили чи додали призначення імені лінії чи параметр вхду/виходу і бажаєте зарезервувати вивід для майбутнього використання, ввімкніть **Reserve pin (even if it does not exist in the design file)** в **Assignment** і виберіть із списку **As input tri-stated**, **As output driving ground**, **As output driving an unspecified signal**, **As VREF**, or **As bidirectional**.
16. Для збереження нового призначення або додавання призначення в список **Available pins & existing assignments** в меню **Assignment** натисніть **Add**.
17. Для збереження зміненого призначення і додавання призначення в список **Available pins & existing assignments** натисніть **Change** в **Assignment**.
18. Повторіть кроки з 11 по 17 для кожного додаткового призначення, яке бажаєте зробити, змінити, або видалити.
19. Натисніть **OK**.

Після завершення призначення ліній необхідно виконати процес компіляції проекту з самого початку.